



CONCURSO PROVISIÓN DE PLAZAS DE PROFESORADO AYUDANTE DOCTOR

FECHA DE LA CONVOCATORIA		17/03/2025	
Nº PLAZAS	Una	Nº DE LA PLAZA	7529
PLAZA DE:	Profesor/a Ayudante Doctor/a		

DEPARTAMENTO	Ingeniería Electrónica
AREA DE CONOCIMIENTO	Tecnología Electrónica
CENTRO	E.T.S.I. de Telecomunicación
PERFIL	12410 – Sistemas microprocesadores 35556 – Sistemas Embebidos Avanzados

ACTA DE VALORACION DEFINITIVA DE LA PRIMERA FASE CONCURSO DE MERITOS

ASISTENTES

En Valencia, de manera parcialmente telemática, siendo las 9:00 del día 25 de junio de 2025, se reúnen las personas al margen reseñadas, todos ellos miembros de la comisión de selección, constituida al efecto el pasado día 21 de mayo de 2025, llegándose a los siguientes acuerdos:

Presidente D. Marcos Antonio Martínez Peiró

Secretario D. Enrique Berjano Zanón

Vocales: Dña. Cristina Fernández Herrero

Dña. Asunción Edith Navarro Antón

D. Raúl Alcaraz Martínez

Orden del día:

Se han presentado las siguientes alegaciones y subsanación de documentación, (se puede relacionar en anexo el acta).

Finalizado el plazo de alegaciones y subsanación de la evaluación de méritos de las personas candidatas referenciadas y, revisadas éstas, se acuerda publicar las calificaciones definitivas de la fase del concurso de méritos, según se detalla en la relación que se acompaña como Anexo de la presente acta (podrá utilizarse la plantilla de auto baremación o el anexo que se acompaña a estas actas).

Se acuerda convocar, para la realización de la segunda fase del proceso selectivo “defensa del proyecto docente y entrevista”, que se celebrará en la Universitat Politècnica de València (Valencia), edificio 7F, planta baja, Sala de Reuniones, el día 1 de julio de 2025 a las 9:30 horas, a las siguientes personas aspirantes que superan la presente fase de concurso de méritos al haber obtenido 3 o más puntos, ordenados según orden alfabético dispuesto en las bases de la convocatoria.



UNIVERSITAT
POLITÈCNICA
DE VALÈNCIA

1. Javier Monreal Trigo.
2. Jorge Parra Gómez.
3. Pau Salvador Llácer.
4. Zoé Valero Ramón.

Dando fe de todo lo cual se levanta esta acta, con el visto bueno de la presidencia, siendo las 9:50 horas del 25/06/2025.

Fdo. D. Marcos Antonio Martínez Peiró

Fdo. D. Enrique Berjano Zanón

DILIGENCIA:

D. Julio Gomis-Tena Dolz, como Secretario del Departamento de Ingeniería Electrónica (P.S.R), doy fe de que: copia del Anexo de la presente acta, que contiene nueva valoración de todas las personas aspirantes en la fase de concurso, así como la citación para el debate de aquellas personas aspirantes que han superado esta fase, han estado expuestos en el Tablón de Anuncios de este Departamento desde la fecha de la firma, y complementariamente y sin carácter oficial en la microweb del Departamento o en el servidor UPV. noticias, grupo de noticias UPV. administración que puede ser consultado a través de la web de la UPV, en el menú en el menú Comunidad UPV/ PAS y PDI/ Herramientas y Recursos (http://www.upv.es/bin2/tablon?p_idioma=c)



ANEXO 7529

ALEGACIÓN – SUBSANACIÓN a la fase I de Baremación de Méritos

SALVADOR LLÁCER, PAU

Asunto: Reclamación de la valoración en el coeficiente de idoneidad y afinidad en el apartado de investigación y docencia.

Estimados miembros del tribunal evaluador,

En la baremación correspondiente a la fase I (Concurso de méritos) de la convocatoria mencionada anteriormente, se me ha asignado un coeficiente de idoneidad y afinidad al perfil de la plaza de 0.1 en el apartado de investigación y de 0.75 en el apartado de docencia. Considero que esta valoración no se ajusta correctamente al grado real de afinidad de mis méritos con el perfil docente solicitado, y solicito, por ello, una revisión al respecto.

En este sentido, referente al apartado de investigación, aunque en las publicaciones realizadas (aportadas como méritos) no se visibiliza la afinidad al área temática de la plaza, la realidad es que para posibilitar la experimentación necesaria para realizar mi investigación he tenido que diseñar y desarrollar tanto sistemas electrónicos relacionados con los sistemas embebidos, así como el desarrollo de circuitos analógicos. De hecho, estos diseños formaban parte del primer objetivo de mi tesis doctoral: "Diseño e implementación de un banco de pruebas para la transmisión a través de POF y VLC".

A continuación, se detallan algunos ejemplos.

1. En la primera etapa de realización de mi tesis doctoral desarrollé un sistema de generación y adquisición de señales basado en el SoC Cyclone V, el cual tiene en su interior un microprocesador ARM. El sistema permite configurar y enviar desde Matlab al SoC diversas modulaciones, así como capturar la señal recibida y enviarla de vuelta a Matlab. En el SoC se usó el ARM para gestionar la comunicación a través de Ethernet, así como el intercambio de los datos a transmitir/recibir entre el dispositivo FPGA y el ARM. En la parte de FPGA se diseñó e implementó, usando System Verilog, la lógica para la gestión de FIFOs de transmisión y recepción así como los filtros interpolador y diezmador para la generación de señales con el DAC y recepción con el ADC controlándose toda la parte hardware de la FPGA desde el microprocesador ARM. El sistema constituye una clara muestra de mi experiencia en sistemas microprocesadores y sistemas embebidos. Si bien es verdad que en los artículos no se menciona el desarrollo de dicho sistema, sí que se hace referencia al mismo en el informe de doctorado para la justificación de mi beca FPU, que se enviaba al Ministerio de Universidades anualmente. El informe se adjunta en informeAnual2021.pdf (véase sección 2, objetivo 1).

2. También, en la primera etapa de realización de mi tesis doctoral, diseñé e implementé módulos analógicos necesarios para el testbed (amplificadores de trans-impedancia, amplificadores de ganancia variable, drivers para LEDs basados en MOSFET y con AOs seguidos de bias-T, circuitos de pre-énfasis analógico para compensar la respuesta en frecuencia de los LEDs de iluminación y drivers para adaptar las señales a los conversores ADC y DAC). De estos diseños, hay que destacar el amplificador de ganancia variable que se controlaba desde un microprocesador generando una señal PWM. Aunque muchos fueron descartándose para su uso en el testbed que finalmente se usó para las medidas mostradas en los artículos, su realización fue necesario para el desarrollo de mi investigación. En el informe de doctorado para la justificación de mi beca FPU, que se enviaba al Ministerio de Universidades anualmente, quedó reflejada su realización. El informe se adjunta en informeAnual2021.pdf (véase sección 2, objetivo 1).

3. De los circuitos analógicos comentados anteriormente merece especial atención el driver de baja impedancia diseñado, el cual se utilizó para realizar las medidas experimentales en todos los artículos de mi tesis doctoral. Su diseño se detalla en el congreso "*Hybrid POF-VLC Network Downlink in Indoor Environments*".



4. Quiero también destacar el artículo *"On the Performance and Power Consumption of Bias-T Based Drivers for High Speed VLC"*. Es un artículo de electrónica analógica, donde se caracteriza, usando los modelos de pequeña señal de la conexión driver-LED, el consumo energético y eficiencia de los drivers usados para inyectar la señal a transmitir a través de los LEDs de iluminación.

Por otro lado, quiero hacer constar que en los artículos aportados como méritos se distinguen claramente las dos etapas diferenciadas de mis trabajos de investigación. La primera vinculada a la telemática (con 2 artículos de revista y 3 de congreso aportados), que obviamente no tienen ninguna afinidad al perfil de esta plaza. La segunda (con 6 artículos aportados de revista y 2 de congresos) vinculada al Grupo de Investigación de Integración Sistemas Digitales (GISED), en el cuál desarrollé mi tesis doctoral dentro del programa de Doctorado del Departamento de Ingeniería Electrónica. La línea principal del grupo GISED se centra en el diseño de algoritmos y arquitecturas hardware/software (Combinando el uso de microprocesadores ARM y FPGAs) orientadas a sistemas de comunicación digitales y procesamiento digital de señales. Dentro de esta línea, el artículo titulado *"A Low-Jitter Fully-Digital M-CAP Receiver for Visible Light Communications"* presenta explícitamente un enfoque en diseño digital con el uso de microprocesadores, desarrollando la algoritmia simplificada para facilitar la implementación utilizando microprocesadores ARM y hardware FPGA. El sistema presentado en el artículo ya está siendo implementado en el SoC Cyclone V (Microprocesador ARM + FPGA) con el fin de desarrollar un demostrador en tiempo real del sistema de transmisión de datos usando LEDs de iluminación. Por lo tanto, considero que también está alineado con la temática de Sistemas Microprocesadores y Sistemas Embebidos Avanzados.

Además, considero que los méritos de investigación citados han sido reconocidos académicamente mediante la obtención del Doctorado en Ingeniería Electrónica con calificación sobresaliente y mención cum laude, validando su relevancia y excelencia en el ámbito específico requerido por la plaza.

Por todo ello, estimo que mis méritos de investigación se encuentran, como mínimo, "relacionados parcialmente" con el perfil docente solicitado, lo que justificaría una puntuación de 0.75, y no la de 0.1 asignada inicialmente.

Por lo que se refiere a los méritos docentes, la mayor parte de estos méritos docentes se han realizado en la asignatura "Control" de la titulación de Grado en Tecnologías Interactivas. Concretamente en esta asignatura yo tenía asignadas las prácticas de laboratorio. En las prácticas de laboratorio de esta asignatura se implementaba sobre un microprocesador ESP32 un lazo de control para un motor de corriente continua. Este controlador se implementaba utilizando el sistema operativo en tiempo real FreeRTOS que contaba con distintas tareas y colas para la gestión de medidas de posición y velocidad, la gestión de los parámetros del controlador a través del puerto serie, implementación del controlador PID discreto para ajustar la posición y la velocidad del motor y la generación de la señal PWM que controlaba la velocidad de giro del motor. El libro de ejercicios y prácticas de Control se adjunta en "practicasControl.pdf" (véase parte 2, prácticas 1A, 1B, 1C, 1D y 5). Con todo esto estimo que mis méritos de docencia se relacionan "directa y totalmente" con el perfil de la plaza.

En consecuencia, solicito que se revise esta valoración y se proceda a la correspondiente corrección de los coeficientes asignados, ajustándolos adecuadamente al grado real de afinidad y relevancia que mis méritos presentan respecto al perfil de la plaza convocada.

Agradeciendo de antemano su atención, reciban un cordial saludo.
Pau Salvador

Respecto a la solicitud de subsanación presentada por el candidato, la Comisión de Selección realiza las siguientes aclaraciones y modificaciones:

- 1) El candidato solicita que los **méritos de investigación** presentados se consideren como mínimo "relacionados parcialmente" con el perfil docente de la plaza, lo que justificaría un coeficiente de idoneidad de 0.75, en lugar de 0.1 asignado por la Comisión. Para sustentar dicha solicitud, el



candidato presenta un documento “informeAnualTesis2021.pdf”, el cual corresponde con el informe anual de seguimiento de 2021 de la ayuda que el candidato recibió por parte del Subprograma de Formación de Profesorado Universitario (FPU). La Comisión considera que el contenido de un informe de seguimiento no constituye de por sí un mérito de investigación, pues no representa un resultado de investigación objetivo, como sí podría ser un artículo publicado, una comunicación presentada a un congreso, una patente concedida, entre otros. Por otro lado, el mérito de la beca FPU ya fue considerado en el apartado E2, correspondiente con becas predoctorales. El candidato, en su escrito de reclamación, describe con detalle las tareas concretas desarrolladas en el contexto de dicha ayuda, y lo relaciona con los contenidos de tres resultados de investigación, en particular 2 artículos en revista y una comunicación en congreso:

- a) *"Hybrid POF-VLC Network Downlink in Indoor Environments"*.
- b) *"On the Performance and Power Consumption of Bias-T Based Drivers for High Speed VLC"*.
- c) *"A Low-Jitter Fully-Digital M-CAP Receiver for Visible Light Communications"*

Respecto al trabajo titulado *"Hybrid POF-VLC Network Downlink in Indoor Environments"*, el candidato argumenta que el estudio requirió del diseño de un driver de baja impedancia con objeto de realizar las medidas experimentales. Este trabajo se centra en el desarrollo de una red híbrida que integra fibra óptica plástica (POF) y comunicación por luz visible (VLC) con el objetivo de aumentar la eficiencia de los sistemas de comunicación en interiores. La temática de este estudio es claramente la comunicación por luz visible (VLC), una tecnología alternativa sostenible a los métodos de comunicación tradicionales. El estudio requirió de un driver analógico de baja impedancia para el funcionamiento eficiente de los LEDs, tal y como se describe en el trabajo. Con todo, la Comisión considera que hay poca relación entre el diseño electrónico analógico mencionado en el estudio y lo que correspondería con la temática del perfil de la plaza: “12410-Sistemas microprocesadores, 35556-Sistemas Embebidos Avanzados”. Es por ello que considera que el mérito de investigación está indirectamente relacionado con el perfil.

Respecto al trabajo titulado *"On the Performance and Power Consumption of Bias-T Based Drivers for High Speed VLC"*, tal y como el candidato describe en su escrito de alegación, es un artículo de electrónica analógica. En concreto, el estudio analiza el impacto de la impedancia de salida del driver usado para polarizar un LED. Por la misma razón que en el anterior resultado, la Comisión considera hay poca relación entre el diseño electrónico analógico mencionado en el estudio y lo que correspondería con la temática del perfil de la plaza: “12410-Sistemas microprocesadores, 35556-Sistemas Embebidos Avanzados”. Es por ello que considera que el mérito de investigación está indirectamente relacionado con el perfil.

Por último, respecto al trabajo titulado *"A Low-Jitter Fully-Digital M-CAP Receiver for Visible Light Communications"*, el candidato argumenta que el estudio presenta un enfoque de diseño digital, basado en Microprocesador ARM + FPGA. Aunque la temática del estudio está más cerca del área de teoría de señal (demodulación, filtrado, ecualización, simulación), la solución propuesta implementada sí está basada en un sistema digital, lo que lo relaciona indirectamente con los contenidos de una de las asignaturas del perfil, en concreto con Sistemas microprocesadores (12410).

Con todo, la Comisión de Selección propone asignar un coeficiente de idoneidad global de 0.25 al conjunto de los méritos de investigación presentados por el candidato, dado que algunos de ellos se encuentran indirectamente relacionados con el perfil.

- 2) El candidato solicita que los **méritos de docencia** presentados se consideren como "ajustados directamente con el perfil de la plaza", lo que justificaría un coeficiente de idoneidad de 1, en lugar de 0.75 asignado por la Comisión. Para sustentar dicha solicitud, el candidato alega la labor docente en prácticas de la asignatura de “Control” (13927) de la titulación de Grado en



UNIVERSITAT
POLITÈCNICA
DE VALÈNCIA

Tecnologías Interactivas. En dichas prácticas, tal y como consta en el documento “practicasControl.pdf”, los conocimientos de teoría de control son implementados mediante el microprocesador ESP32 (programando en C), en concreto la práctica 1 y 5. El candidato ha impartido estas prácticas de laboratorio durante 3 cursos, sumando un total de 118 horas, y con resultados de encuesta de satisfacción siempre por encima de 9/10.

Con todo, la Comisión de Selección propone asignar un coeficiente de idoneidad global de 1 al conjunto de los méritos de docencia presentados por el candidato, ya que la docencia práctica de la asignatura de “Control” (13927) se ajusta directa y totalmente al perfil docente de la plaza, por estar relacionada con Sistemas microprocesadores (12410).

Teniendo en cuenta todo lo expuesto, la puntuación final del candidato queda en 5.224.