



Generado desde: Editor CVN de FECYT
Fecha del documento: 29/03/2024
v 1.4.3
d716a7fa927916263ad079549c61a20f

Este fichero electrónico (PDF) contiene incrustada la tecnología CVN (CVN-XML). La tecnología CVN de este fichero permite exportar e importar los datos curriculares desde y hacia cualquier base de datos compatible. Listado de Bases de Datos adaptadas disponible en <http://cvn.fecyt.es/>

Resumen libre del currículum

Descripción breve de la trayectoria científica, los principales logros científico-técnicos obtenidos, los intereses y objetivos científico-técnicos a medio/largo plazo de la línea de investigación. Incluye también otros aspectos o peculiaridades importantes.

Comencé mi carrera investigadora en 2005 cuando obtuve una beca FPU del Ministerio de Educación y Ciencia para realizar el doctorado. En 2009 me doctoré en informática por la Universidad de Murcia con una tesis sobre el mantenimiento de la coherencia de cachés, cuyas propuestas y resultados se publicaron en 7 conferencias internacionales, 3 revistas JCR, un capítulo de libro y un libro. Durante el doctorado realicé dos estancias en la Universidad de Edimburgo (UK) de las que surgieron 3 publicaciones (2 de ellas posteriores a la tesis). He disfrutado de contratos postdoctorales en la Universidad Politécnica de Valencia y en la Universidad de Uppsala (Suecia) con las cuales continúo colaborando y publicando activamente (17 y 39 publicaciones resultado de la colaboración, respectivamente).

A lo largo de mi carrera investigadora, he publicado 39 artículos en revistas JCR (13 Q1 y 19 Q2). Sin embargo, en el área de arquitectura de computadores, las conferencias son el principal medio de publicación de resultados, teniendo las conferencias más prestigiosas un mayor impacto que las revistas. He publicado más de 60 artículos en conferencias internacionales (10 GGS A++, según clasificación de congresos Gii-Grin-Scie (GGS) –ISCA–, 11 GGS A+ –MICRO (8) y HPCA (3)–, y la mayoría de las restantes GGS A o A–), 9 artículos en workshops internacionales, 7 posters en conferencias internacionales, 1 libro como autor, 1 libro como editor y 1 capítulo de libro. En general, el índice de aceptación de las conferencias en el área es inferior al 25%. Por las publicaciones en ISCA, MICRO y HPCA he recibido 20 premios del HiPEAC y he sido incluido en el Salón de la Fama de ISCA y MICRO (mérito con el que solo cuentan dos investigadores más de universidades españolas). Mis publicaciones han obtenido 2 best papers awards, 1 mención de honor best paper award (HPCA), 1 nominación a best paper award (ISCA), dos menciones de honor en IEEE Micro TopPicks 2017 y 2022 y una publicación IEEE Micro TopPicks 2018 y han causado gran intereses tanto en academia como industria siendo referenciadas 2093 veces (índice h de 23, e índice i10 de 52). Tengo reconocidos 3 sexenios de investigación, el último correspondiente a 2017-2022.

Logré el primer puesto en el primer Instruction Prefetching Championship (IPC1) y en el ML-based Data Prefetching Competition (ML-DPC).

He participado activamente en 17 proyectos de investigación nacionales y europeos, he sido o soy investigador principal de un proyecto de 3 años "Jóvenes Líderes en Investigación" de la Fundación Séneca, Agencia de Ciencia y Tecnología de la Región de Murcia y soy investigador principal de un proyecto nacional de 1 año "Europa Excelencia", de un proyecto europeo de 6.5 años "ERC Consolidator Grant" y de un proyecto europeo de 1.5 años "ERC Proof of concept". Y soy co-IP de un proyecto nacional CICYT de 4 años.



Me han elegido como comité de programa en varias conferencias internacionales (como ISCA, MICRO, HPCA y PACT) y como revisor de artículos en 15 revistas JCR diferentes. Desde 2019 soy editor asociado de la revista JPDC. He dirigido tres tesis doctorales y dos contratados post-doctorales. En la actualidad dirijo 8 estudiantes de doctorado y 2 postdoctorales. He formado parte del tribunal de evaluación de 6 tesis doctorales y me han invitado a dar más de 10 charlas en universidades, empresas, escuelas de verano y programas de Máster.

Además, soy cofundador de una start-up, cuento con más de 10 patentes internacionales, he iniciado proyectos de evaluación con empresas internacionales y actuado como consultor con el fin de realizar la transferencia tecnológica de mis propuestas.

Mis intereses en investigación incluyen el diseño de multiprocesadores, con particular interés en el protocolo de coherencia de cachés y el modelo de consistencia de memoria. Mi principal objetivo es mejorar la eficiencia de los procesadores actuales para tener computadores más potentes en el futuro.

B.1. Breve descripción del Trabajo de Fin de Grado (TFG) y puntuación obtenida
anismo de coherencia de cachés, obtuve una Matrícula de Honor.

Indicadores generales de calidad de la producción científica

Información sobre el número de sexenios de investigación y la fecha del último concedido, número de tesis doctorales dirigidas en los últimos 10 años, citas totales, promedio de citas/año durante los últimos 5 años (sin incluir el año actual), publicaciones totales en primer cuartil (Q1), índice h. Incluye otros indicadores considerados de importancia.

Poseo 3 sexenios, el último correspondiente al tramo 2017-2022.

He dirigido 3 tesis doctorales, dos defendidas en 2017 y una en 2022. Actualmente dirijo 8 más.

Mis artículos cuentan con 2092 citas. Mi índice h es 23, y mi índice i10 es 52 (según GoogleScholar).

He publicado 13 artículos en revistas Q1 del JCR y 19 artículos en revistas Q2 del JCR. He publicado un artículo en IEEE Micro Top Picks en 2018, que se selecciona las 12 mejores publicaciones en arquitectura de computadores de 2017, y dos menciones de honor en IEEE Micro Top Picks en 2017 y 2022 (elegidas entre las 24 mejores de 2016 y 2021, respectivamente).

En el área de arquitectura de computadores, las conferencias constituyen el principal medio de publicación de resultados, teniendo las conferencias más prestigiosas un mayor impacto que las revistas. Nótese que las conferencias aparecen en la sección de "Trabajos presentados...", incluso las de alto impacto. He publicado 10 artículos en ISCA, la conferencia más prestigiosa en arquitectura de computadores (class 1, A++, según gii-grin-scie –GGS– conference rating), 8 artículos en MICRO y 3 en HPCA (class 1, A+). El ratio de aceptación en ISCA varía entre 16% y 19%. En general, ratio de aceptación de las conferencias del área es inferior al 25%. Por las publicaciones en estas conferencias he recibido 21 HiPEAC paper awards. Al publicar el octavo artículo en ISCA entré en el Salón de la Fama de dicha conferencia, un mérito que solo 2 personas más de universidades españolas han conseguido. Además recientemente entré en el Salón de la Fama de MICRO.

He recibido cuatro proyectos como investigador principal: Un jóvenes líderes en investigación de la Fundación Séneca en 2014, un Europa Excelencia del Ministerio en 2017, una ERC Consolidator Grant (H2020) en 2018 y una ERC Proof of Concept en 2024.

He solicitado 18 patentes, 10 de ellas concedidas, y soy co-fundador de una Start Up en Suecia (Eta Scale AB).

Situación profesional actual**Entidad empleadora:** Universidad de Murcia**Departamento:** Ingeniería y Tecnología de Computadores, Facultad de Informática**Categoría profesional:** Catedrático de Universidad**Fecha de inicio:** 28/07/2021**Modalidad de contrato:** Funcionario/a**Régimen de dedicación:** Tiempo completo**Primaria (Cód. Unesco):** 330406 - Arquitectura de ordenadores**Identificar palabras clave:** Informática**Cargos y actividades desempeñados con anterioridad**

	Entidad empleadora	Categoría profesional	Fecha de inicio
1	Universidad de Murcia	Profesor Titular de Universidad	06/12/2018
2	Universidad de Murcia	Profesor Contratado Doctor	01/05/2013
3	Universidad de Murcia	Profesor Ayudante Doctor	30/01/2012
4	Uppsala Universitet	Postdoc	15/08/2011
5	Universidad de Murcia	Profesor asociado	14/12/2010
6	Universidad Politécnica de Valencia	Investigador contratado con grado de doctor	20/10/2009
7	Universidad de Murcia	Contratado con cargo a un proyecto	04/2009
8	Universidad de Murcia	Becario FPU	04/2005
9	Universidad de Murcia	Técnico de mantenimiento de sistemas	10/2004
10	Universidad de Murcia	Alumno interno	10/2003

1 Entidad empleadora: Universidad de Murcia **Tipo de entidad:** Universidad**Categoría profesional:** Profesor Titular de Universidad**Fecha de inicio-fin:** 06/12/2018 - 27/07/2021**2 Entidad empleadora:** Universidad de Murcia**Categoría profesional:** Profesor Contratado Doctor**Fecha de inicio-fin:** 01/05/2013 - 05/12/2018**3 Entidad empleadora:** Universidad de Murcia**Categoría profesional:** Profesor Ayudante Doctor**Fecha de inicio-fin:** 30/01/2012 - 30/04/2013



- 4** Entidad empleadora: Uppsala Universitet
Categoría profesional: Postdoc
Fecha de inicio-fin: 15/08/2011 - 29/01/2012
- 5** Entidad empleadora: Universidad de Murcia
Categoría profesional: Profesor asociado
Fecha de inicio-fin: 14/12/2010 - 30/09/2011
- 6** Entidad empleadora: Universidad Politécnica de Valencia
Categoría profesional: Investigador contratado con grado de doctor
Fecha de inicio-fin: 20/10/2009 - 14/08/2011
- 7** Entidad empleadora: Universidad de Murcia
Categoría profesional: Contratado con cargo a un proyecto
Fecha de inicio-fin: 04/2009 - 09/2009
- 8** Entidad empleadora: Universidad de Murcia
Categoría profesional: Becario FPU
Fecha de inicio-fin: 04/2005 - 03/2009
- 9** Entidad empleadora: Universidad de Murcia
Categoría profesional: Técnico de mantenimiento de sistemas
Fecha de inicio-fin: 10/2004 - 03/2005
- 10** Entidad empleadora: Universidad de Murcia
Categoría profesional: Alumno interno
Fecha de inicio-fin: 10/2003 - 06/2004



Formación académica recibida

Titulación universitaria

Estudios de 1º y 2º ciclo, y antiguos ciclos (Licenciados, Diplomados, Ingenieros Superiores, Ingenieros Técnicos, Arquitectos)

Titulación universitaria: Titulado Superior

Nombre del título: Ingeniería en informática

Entidad de titulación: Universidad de Murcia

Tipo de entidad: Universidad

Fecha de titulación: 06/2004

Doctorados

Programa de doctorado: Programa Oficial de Doctorado en Ingeniería Informática Aplicada a la Industria, a la Ingeniería del Software y a los Sistemas y Tecnologías de la Información

Entidad de titulación: Universidad de Murcia

Tipo de entidad: Universidad

Fecha de titulación: 24/09/2009

Doctorado Europeo: Si

Título de la tesis: Efficient and Scalable Cache Coherence for Many-Core Chip Multiprocessors

Calificación obtenida: Sobresaliente Cum Laude

Mención de calidad: Si

Conocimiento de idiomas

Idioma	Comprensión auditiva	Comprensión de lectura	Interacción oral	Expresión oral	Expresión escrita
Francés	A1	A1	A1	A1	A1
Rumano	A2	B1	A2	A2	A2
Catalán	B1	B1	B1	A2	A1
Inglés	C1	C1	C1	C1	C1
Español	C2	C2	C2	C2	C2

Actividad docente



Dirección de tesis doctorales y/o proyectos fin de carrera

- 1** **Título del trabajo:** Fine-grain Private/Shared Data Classification for Efficient Cache Coherence
Tipo de proyecto: Tesis Doctoral
Codirector/a tesis: Supriya M.; Alberto Ros
Entidad de realización: Amrita Vishwa Vidyapeetham **Tipo de entidad:** Universidad
Ciudad entidad realización: India
Alumno/a: Bhargavibahen Rajeshkumar Upadhyay
Fecha de defensa: 25/04/2022
- 2** **Título del trabajo:** Design of Efficient TLB-based Data Classification Mechanisms in Chip Multiprocessors
Tipo de proyecto: Tesis Doctoral
Codirector/a tesis: Antonio Robles Martínez; María Engracia Gómez Requena; Alberto Ros Bardisa
Entidad de realización: Universidad Politécnica de Valencia **Tipo de entidad:** Universidad
Ciudad entidad realización: España
Alumno/a: Albert Esteve García
Fecha de defensa: 10/07/2017
Mención de calidad: Si
- 3** **Título del trabajo:** Advances Towards Data-Race-Free Cache Coherence Through Data Classification
Tipo de proyecto: Tesis Doctoral
Codirector/a tesis: Stefanos Kaxiras; Erik Hargesten; Alberto Ros
Entidad de realización: Uppsala University **Tipo de entidad:** Universidad
Ciudad entidad realización: Suecia
Alumno/a: Mahdad Davari
Fecha de defensa: 18/06/2017
- 4** **Título del trabajo:** Uso de redes heterogéneas para la reducción del consumo energético en protocolos basados en coherencia directa
Tipo de proyecto: Proyecto Final de Carrera
Codirector/a tesis: Manuel Eugenio Acacio Sánchez; Alberto Ros Bardisa; Ricardo Fernández Pascual
Entidad de realización: Universidad de Murcia **Tipo de entidad:** Universidad
Ciudad entidad realización: España
Alumno/a: Pablo David Muñoz Sánchez
Fecha de defensa: 06/2011
- 5** **Título del trabajo:** Estudio del tráfico en la red de interconexión de un Chip Multiprocesador
Tipo de proyecto: Proyecto Final de Carrera
Codirector/a tesis: José Luis Sánchez García; Alberto Ros Bardisa
Entidad de realización: Universidad de Castilla-La Mancha **Tipo de entidad:** Universidad
Ciudad entidad realización: España
Alumno/a: Joaquín Barceló Trigueros
Fecha de defensa: 12/2007

Publicaciones docentes o de carácter pedagógico, libros, artículos, etc.

- 1** Manuel Eugenio Acacio Sánchez; Ricardo Fernández Pascual; Pilar González Férez; Alberto Ros Bardisa. Estructura y Tecnología de Computadores, Estructura y Tecnología de Computadores. 12/2015.
Nombre del material: Estructura y Tecnología de Computadores
Tipo de soporte: Libro
- 2** Manuel Eugenio Acacio Sánchez; Ricardo Fernández Pascual; Pilar González Férez; José Pío Martínez Nuñez; Alberto Ros Bardisa. Estructura y Tecnología de Computadores, Estructura y Tecnología de Computadores. 01/2014.
Nombre del material: Estructura y Tecnología de Computadores
Tipo de soporte: Libro
- 3** Alberto Ros; José Manuel García. La plataforma Simics como herramienta de aprendizaje, XIV Jornadas de Enseñanza Universitaria de Informática (JENUI'08). pp. 291 - 298. 07/2008. ISBN 978-84-612-4475-1
Nombre del material: La plataforma Simics como herramienta de aprendizaje
Tipo de soporte: Artículo/s
Autor de correspondencia: Si
- 4** Manuel E. Acacio; Lorenzo Fernández-Maimó; Ricardo Fernández-Pascual; Pilar González-Férez; Alberto Ros; Rubén Titos-Gil. Proyecto Tetris: aprendizaje de la programación en ensamblador por piezas, pp. 279 - 286. 07/2019. ISSN 2531-0607
Nombre del material: Proyecto Tetris: aprendizaje de la programación en ensamblador por piezas
Tipo de soporte: Artículo/s

Participación en proyectos de innovación docente

- 1** **Título del proyecto:** Realizar actividades de innovación docente en tres asignaturas relacionadas con la Arquitectura de Computadores del Grado en Ingeniería en Informática: Estructura y Tecnología de Computadores (ETC), Ampliación y Estructura de Computadores (AEC) y Arquitectura y Organización de Computadores (AOC)
Tipo de participación: Miembro de equipo
Nombre del investigador/a principal (IP): Gregorio Bernabé García
Nº de participantes: 8
Entidad financiadora: Universidad de Murcia
Tipo de entidad: Universidad
Fecha de inicio-fin: 01/01/2017 - 31/12/2019
- 2** **Título del proyecto:** Realizar actividades de innovación docente en tres asignaturas relacionadas con la Arquitectura de Computadores del Grado en Ingeniería en Informática: Estructura y Tecnología de Computadores (ETC), Ampliación y Estructura de Computadores (AEC) y Arquitectura y Organización de Computadores (AOC)
Tipo de participación: Miembro de equipo
Nombre del investigador/a principal (IP): Gregorio Bernabé García
Nº de participantes: 8
Importe concedido: 2.083,93 €
Entidad financiadora: Universidad de Murcia
Tipo de entidad: Universidad
Fecha de inicio-fin: 01/01/2016 - 31/12/2018



Experiencia científica y tecnológica

Actividad científica o tecnológica

Proyectos de I+D+i financiados en convocatorias competitivas de Administraciones o entidades públicas y privadas

- 1** **Nombre del proyecto:** DAMAS: Desarrollos Avanzados para la Mejora de las Arquitecturas Superchip
Entidad de realización: Universidad de Murcia **Tipo de entidad:** Universidad
Ciudad entidad realización: Murcia, Región de Murcia, España
Nombres investigadores principales (IP, Co-IP,...): Manuel Eugenio Acacio Sánchez; Alberto Ros Bardisa
Nº de investigadores/as: 11
Entidad/es financiadora/s: Ministerio de Ciencia e Innovación **Tipo de entidad:** Organismo
Fecha de inicio-fin: 01/09/2023 - 31/08/2027
Cuantía total: 317.000 €
- 2** **Nombre del proyecto:** ECHO: Extending Coherence for Hardware-Driven Optimizations in Multicore Architectures
Entidad de realización: Universidad de Murcia **Tipo de entidad:** Universidad
Ciudad entidad realización: Murcia, Región de Murcia, España
Nombres investigadores principales (IP, Co-IP,...): Alberto Ros Bardisa
Nº de investigadores/as: 1
Entidad/es financiadora/s: European Union, European Research Council **Tipo de entidad:** Agencia Europea
Ciudad entidad financiadora: Bruselas, Bélgica
Fecha de inicio-fin: 01/09/2019 - 31/01/2026
Cuantía total: 1.999.918 €
- 3** **Nombre del proyecto:** Berti-Chip: Energy-Efficient Highly Accurate Data Prefetching
Entidad de realización: Universidad de Murcia **Tipo de entidad:** Universidad
Ciudad entidad realización: Murcia, Región de Murcia, España
Nombres investigadores principales (IP, Co-IP,...): Alberto Ros Bardisa
Nº de investigadores/as: 1
Entidad/es financiadora/s: European Research Council **Tipo de entidad:** Organismo Público de Investigación
Fecha de inicio-fin: 01/05/2024 - 30/11/2025
Cuantía total: 150.000 €
- 4** **Nombre del proyecto:** HEEDA: Diseño de Sistemas de Computación Energéticamente Sostenibles y Eficientes / Design of Energy-Sustainable and Efficient Computing Systems
Entidad de realización: Universidad de Murcia **Tipo de entidad:** Universidad
Ciudad entidad realización: Murcia, Región de Murcia, España



Nombres investigadores principales (IP, Co-IP,...): Ricardo Fernández Pascual; Juan Luis Aragón Alcaraz

Nº de investigadores/as: 7

Fecha de inicio-fin: 01/12/2022 - 30/11/2024

Cuantía total: 217.695 €

- 5** **Nombre del proyecto:** Red-RISCV: Investigación, Formación e Innovación en Sistemas RISC-V
Entidad de realización: BSC, CNM, UAB, UB, UC, UCM, UDC, UEX, UIB, UMU, UPC, UPV, URV y UZ
Nombres investigadores principales (IP, Co-IP,...): Lluís Terés
Nº de investigadores/as: 14
Entidad/es financiadora/s:
Innovación y Universidades
Ministerio de Ciencia
Cód. según financiadora: RED2018-102384-T
Fecha de inicio-fin: 01/01/2020 - 31/12/2021
Cuantía subproyecto: 25.000 €

- 6** **Nombre del proyecto:** Mejora de Infraestructuras y Servicios para Sistemas Distribuidos Innovadores. Técnicas Innovadoras en Computación Especializada y de Altas Prestaciones
Entidad de realización: Universidad Politécnica de Valencia, Universidad de Castilla-La Mancha, Universidad de Murcia, Universidad Miguel Hernández y Universidad de Valencia
Nombres investigadores principales (IP, Co-IP,...): Antonio Javier Cuenca Muñoz y Manuel Eugenio Acacio Sánchez
Nº de investigadores/as: 11
Entidad/es financiadora/s:
Innovación y Universidades
Ministerio de Ciencia
Cód. según financiadora: RTI2018-098156-B-C53
Fecha de inicio-fin: 01/01/2019 - 31/12/2021
Cuantía subproyecto: 166.859 €

- 7** **Nombre del proyecto:** European joint Effort toward a Highly Productive Programming Environment for Heterogeneous Exascale Computing (EPEEC)
Entidad de realización: Eta Scale AB **Tipo de entidad:** Entidad Empresarial
Ciudad entidad realización: Uppsala, Suecia
Nombres investigadores principales (IP, Co-IP,...): Alberto Ros Bardisa
Nº de investigadores/as: 28
Entidad/es financiadora/s:
European Union, European Commission, Horizon 2020 **Tipo de entidad:** Agencia europea
Fecha de inicio-fin: 01/10/2018 - 30/09/2021
Cuantía total: 269.475 €

- 8** **Nombre del proyecto:** Efficient Synchronization for Multicore Architectures
Entidad de realización: Universidad de Murcia **Tipo de entidad:** Universidad
Ciudad entidad realización: Murcia, Región de Murcia, España
Nombres investigadores principales (IP, Co-IP,...): Alberto Ros Bardisa
Nº de investigadores/as: 1
Entidad/es financiadora/s:
Ministerio de Ciencia e Innovación. Universidades **Tipo de entidad:** Agencia nacional



Fecha de inicio-fin: 01/12/2018 - 30/11/2019

Cuantía total: 74.866 €

- 9 Nombre del proyecto:** Técnicas para la Mejora de las Prestaciones, Fiabilidad y Consumo de Energía de los Servidores. Optimización de Aplicaciones Científicas, Médicas y de Visión Artificial
Entidad de realización: Universidad Politécnica de Valencia, Universidad de Castilla-La Mancha, Universidad Miguel Hernández y Universidad de Murcia
Nombres investigadores principales (IP, Co-IP,...): Manuel E. Acacio Sánchez; Gregorio Bernabé García
Nº de investigadores/as: 17
Entidad/es financiadora/s:
Ministerio de Economía y Competitividad

Cód. según financiadora: TIN2015-66972-C5-3-R

Fecha de inicio-fin: 01/01/2016 - 31/12/2018

Cuantía subproyecto: 199.166 €

- 10 Nombre del proyecto:** Subsistema de Memoria Eficiente para Futuros Sistemas Heterogeneos CPU-GPGPU
Entidad de realización: Universidad Politécnica de Valencia
Nombres investigadores principales (IP, Co-IP,...): Salvador Martí Petit
Nº de investigadores/as: 4
Entidad/es financiadora/s:
Generalitat Valenciana

Cód. según financiadora: AICO/2016/059

Fecha de inicio-fin: 01/01/2016 - 31/12/2017

Cuantía subproyecto: 40.000 €

- 11 Nombre del proyecto:** Uppsala Programing for Multicore Research Center (UPMARC)
Entidad de realización: Uppsala Universitet
Nombres investigadores principales (IP, Co-IP,...): Bengt Jonsson
Nº de investigadores/as: 73
Entidad/es financiadora/s:
The Swedish Research Council

Cód. según financiadora: UPMARC % Convocatoria: Linnaeus environments, 2008

Fecha de inicio-fin: 01/01/2008 - 31/12/2017

Cuantía subproyecto: 6.200.000 €

- 12 Nombre del proyecto:** ETA Scale AB
Entidad de realización: ETA Scale AB
Nombres investigadores principales (IP, Co-IP,...): Stefanos Kaxiras
Nº de investigadores/as: 3
Entidad/es financiadora/s:
Eurolab-4-HPC

European Union

H2020-FETHPC-2014

Cód. según financiadora: REP-671610-2 % 31250 euros

Fecha de inicio-fin: 01/09/2015 - 31/08/2017



- 13** **Nombre del proyecto:** Mejora del rendimiento y eficiencia de los multiprocesadores en un único chip basada en la naturaleza de los datos accedidos por aplicaciones
Entidad de realización: Universidad de Murcia
Nombres investigadores principales (IP, Co-IP,...): Alberto Ros Bardisa
Nº de investigadores/as: 3
Entidad/es financiadora/s:
Agencia de Ciencia y Tecnología de la
Fundación Séneca
Cód. según financiadora: 18956/JLI/13
Fecha de inicio-fin: 01/07/2014 - 30/06/2017
Cuantía subproyecto: 29.000 €
- 14** **Nombre del proyecto:** Towards Low Power ICT (TOLOP)
Entidad de realización: Universite de Liege, The Hebrew University of Jerusalem, Uppala Universitet, University of New South Wales y Commissariat a L'Energie Atomique et aux Energies Alternatives
Nombres investigadores principales (IP, Co-IP,...): Stefanos Kaxiras
Entidad/es financiadora/s:
European Commission
European Union
INFSO
Cód. según financiadora: FP7-ICT-318397 % Convocatoria: FP7, 2011
Fecha de inicio-fin: 01/09/2012 - 31/08/2015
Cuantía subproyecto: 370.880 €
- 15** **Nombre del proyecto:** Mejora de las arquitecturas de servidores, aplicaciones y servicios
Entidad de realización: Universidad Politécnica de Valencia, Universidad de Castilla-La Mancha y Universidad de Murcia
Nombres investigadores principales (IP, Co-IP,...): Manuel E. Acacio Sánchez
Nº de investigadores/as: 21
Entidad/es financiadora/s:
Ministerio de Economía y Competitividad
Cód. según financiadora: TIN2012-38341-C04-03
Fecha de inicio-fin: 01/02/2013 - 31/01/2015
Cuantía subproyecto: 99.661 €
- 16** **Nombre del proyecto:** VIPS
Entidad de realización: Uppsala Universitet
Nombres investigadores principales (IP, Co-IP,...): Stefanos Kaxiras
Nº de investigadores/as: 3
Entidad/es financiadora/s:
VINN-Verifying
Cód. según financiadora: 2013-01113 % 2MSEK = 217026 euros
Fecha de inicio-fin: 01/08/2013 - 31/12/2014
- 17** **Nombre del proyecto:** Low-power GPU (LPGPU)
Entidad de realización: AiGameDev, Codeplay, Geomerics, Think Silicon, TU Berlin y Uppsala Universitet
Nombres investigadores principales (IP, Co-IP,...): Stefanos Kaxiras
Entidad/es financiadora/s:



European Commission

European Union

INFSO

Cód. según financiadora: FP7-ICT-288653 % Convocatoria: FP7, 2010

Fecha de inicio-fin: 01/09/2011 - 31/08/2014

Cuántía subproyecto: 519.150 €

18 Nombre del proyecto: A Highly Efficient Adaptive multi-Processor framework (HEAP)

Entidad de realización: STMicroelectronics S.r.l., Thales Communications S.A., Singular Logic S.A., Synelxis Solutions L.t.d., ACE Associated Compiler Experts bv, Compaan Design BV, ATHENA Industrial Systems Institute, Poli

Nombres investigadores principales (IP, Co-IP,...): Stefanos Kaxiras

Entidad/es financiadora/s:

European Commission

European Union

INFSO

Cód. según financiadora: FP7-ICT-247615 % Convocatoria: FP7, 2009

Fecha de inicio-fin: 01/01/2010 - 31/12/2012

Cuántía subproyecto: 233.000 €

19 Nombre del proyecto: Arquitecturas de servidores, aplicaciones y servicios

Entidad de realización: Universidad Politécnica de Valencia, Universidad de Castilla-La Mancha, Universidad de Murcia y Universidad de Valencia

Nombres investigadores principales (IP, Co-IP,...): José Manuel García Carrasco

Nº de investigadores/as: 30

Entidad/es financiadora/s:

MINISTERIO DE EDUCACION Y CIENCIA

Cód. según financiadora: TIN2009-14475-C04-02

Fecha de inicio-fin: 01/01/2010 - 31/12/2012

Cuántía subproyecto: 409.101 €

20 Nombre del proyecto: Extensión de la tecnología de red HyperTransport para la mejora de la escalabilidad de los servidores de internet

Entidad de realización: Universidad Politécnica de Valencia

Nombres investigadores principales (IP, Co-IP,...): José Duato Marín

Nº de investigadores/as: 11

Entidad/es financiadora/s:

Generalitat Valenciana

Programa Prometeo

Cód. según financiadora: PROMETEO/2008/060

Fecha de inicio-fin: 01/01/2008 - 01/01/2012

Cuántía subproyecto: 101.000 €

21 Nombre del proyecto: Arquitecturas Fiables y de Altas Prestaciones para Centros de Proceso de Datos y Servidores de Internet

Entidad de realización: Universidad Politécnica de Valencia, Universidad de Castilla-la Mancha, Universidad de Murcia y Universidad de Valencia



Nombres investigadores principales (IP, Co-IP,...): José F. Duato Marín

Nº de investigadores/as: 54

Entidad/es financiadora/s:

Ministerio de Educación y Ciencia

Nombre del programa: Consolider 2006

Cód. según financiadora: CSD2006-00046

Fecha de inicio-fin: 01/10/2006 - 30/09/2011

Cuantía subproyecto: 663.276 €

22 Nombre del proyecto: Estrategias de Aplicación de la Virtualización al Entorno de los Supercomputadores

Entidad de realización: Universidad de Murcia

Nombres investigadores principales (IP, Co-IP,...): José Manuel García Carrasco

Nº de investigadores/as: 6

Entidad/es financiadora/s:

Agencia de Ciencia y Tecnología de la

Fundación Séneca

Cód. según financiadora: 00001/CS/2007

Fecha de inicio-fin: 01/01/2008 - 31/12/2010

Cuantía subproyecto: 51.300 €

23 Nombre del proyecto: Diseño de Arquitecturas CMP Eficientes Energéticamente y Fiables para Sistemas Embebidos de Próxima Generación

Entidad de realización: Universidad de Murcia

Nombres investigadores principales (IP, Co-IP,...): José Manuel García Carrasco

Nº de investigadores/as: 6

Entidad/es financiadora/s:

Agencia de Ciencia y Tecnología de la

Fundación Séneca

Cód. según financiadora: 05831/PI/2007

Fecha de inicio-fin: 01/01/2007 - 31/12/2009

Cuantía subproyecto: 33.900 €

24 Nombre del proyecto: Mejora de las Prestaciones, Servicios y Aplicaciones Ofrecidas por Arquitecturas Cluster de Altas Prestaciones

Entidad de realización: Universidad Politécnica de Valencia, Universidad de Castilla-la Mancha, Universidad de Murcia y Universidad de Valencia

Nombres investigadores principales (IP, Co-IP,...): José Manuel García Carrasco

Nº de investigadores/as: 17

Entidad/es financiadora/s:

MINISTERIO DE EDUCACION Y CIENCIA

Cód. según financiadora: TIN2006-15516-C04-03

Fecha de inicio-fin: 01/10/2006 - 30/09/2009

Cuantía subproyecto: 193.600 €

25 Nombre del proyecto: Adaptive Cache Indexing Policies

Entidad de realización: Universidad de Murcia y The University of Edinburgh

Nombres investigadores principales (IP, Co-IP,...): Manuel Eugenio Acacio Sánchez

Nº de investigadores/as: 5

**Entidad/es financiadora/s:**

European Network of Excellence on High Performance and Embedded Architecture and Compilation (HiPEAC)

Fecha de inicio-fin: 01/05/2009 - 31/07/2009

Cuantía subproyecto: 6.900 €

Contratos, convenios o proyectos de I+D+i no competitivos con Administraciones o entidades públicas o privadas

- 1** **Nombre del proyecto:** Clúster multiprocessador RISC-V
Grado de contribución: Coordinador/a científico/a
Nombres investigadores principales (IP, Co-IP,...): Alberto Ros Bardisa; Ricardo Fernández Pascual
Nº de investigadores/as: 5
Entidad/es participante/s: Semidynamics Technology Services; Universidad de Murcia
Entidad/es financiadora/s:
Semidynamics Technology Services, S.L.

Fecha de inicio: 01/01/2024 **Duración:** 2 años
Cuantía total: 170.000 €
- 2** **Nombre del proyecto:** PROR-VISION-PRO: Compiladores, co-diseño hardware-software y software para el soporte de cámaras 3D bajo el procesador VECLET-V
Grado de contribución: Coordinador/a científico/a
Nombres investigadores principales (IP, Co-IP,...): Alberto Ros Bardisa; Alexandra Jimborean
Nº de investigadores/as: 3
Entidad/es participante/s: Semidynamics Technology Services; Universidad de Murcia
Entidad/es financiadora/s:
Semidynamics Technology Services, S.L.

Fecha de inicio: 01/01/2024 **Duración:** 2 años
Cuantía total: 280.000 €
- 3** **Nombre del proyecto:** Exploring the Implementation Space of ARM's Transactional Memory Extensions (TME) Using Gem5
Grado de contribución: Investigador/a
Nombres investigadores principales (IP, Co-IP,...): Rubén Titos Gil; Ricardo Fernández Pascual
Nº de investigadores/as: 4
Entidad/es financiadora/s:
Huawei Technologies co., LTD **Tipo de entidad:** Entidad Empresarial
Ciudad entidad financiadora: Zurich, Suiza

Fecha de inicio: 16/03/2021 **Duración:** 1 año - 9 meses - 15 días
Cuantía total: 71.400 €

Resultados

Propiedad industrial e intelectual

- 1 Título propiedad industrial registrada:** Methods for training a load-store dependence predictor and for predicting memory dependence based on the path between dependent instructions and a processor associated with them
Inventores/autores/obtentores: Sebastian S. Kim; Alberto Ros
Entidad titular de derechos: Universidad de Murcia
Nº de solicitud: EP24382228.5
País de inscripción: España, Región de Murcia
Fecha de registro: 01/03/2024
- 2 Título propiedad industrial registrada:** Handling Memory Lines in a Multi-Core Processor
Inventores/autores/obtentores: Eduardo José Gómez Hernández; Juan Manuel Cebrian; Rubén Titos-Gil; Stefanos Kaxiras; Alberto Ros
Entidad titular de derechos: Universidad de Murcia
Nº de solicitud: 300426737
País de inscripción: España
Fecha de registro: 13/10/2021
- 3 Título propiedad industrial registrada:** System and Method for Prefetching Bursts Accesses to Contiguous Memory Locations
Inventores/autores/obtentores: Juan Manuel Cebrián; Stefanos Kaxiras; Alberto Ros
Entidad titular de derechos: Universidad de Murcia
Nº de solicitud: 300383753
País de inscripción: España
Fecha de registro: 13/10/2020
- 4 Título propiedad industrial registrada:** Systems and method for invisible speculation
Inventores/autores/obtentores: Christos Sakalis; Stefanos Kaxiras; Alberto Ros; Alexandra Jimborean; Magnus Sjalander
Entidad titular de derechos: Eta Scale AB
Nº de solicitud: US 16/825,399
País de inscripción: Estados Unidos de América
Fecha de registro: 20/03/2020
- 5 Título propiedad industrial registrada:** System and method for dynamic enforcement of store atomicity
Inventores/autores/obtentores: Stefanos Kaxiras; Alberto Ros
Entidad titular de derechos: Eta Scale AB
Nº de solicitud: US 16/715,771
País de inscripción: Estados Unidos de América
Fecha de registro: 16/12/2019
- 6 Título propiedad industrial registrada:** System and method for event monitoring in cache coherence protocols without explicit invalidations
Inventores/autores/obtentores: Stefanos Kaxiras; Alberto Ros
Entidad titular de derechos: Eta Scale AB
Nº de solicitud: US 20190324910 A1



Fecha de registro: 04/07/2015

Fecha de concesión: 24/10/2019

- 7 Título propiedad industrial registrada:** System and method for non-speculative store coalescing and generating write sets using address subsets
Inventores/autores/obtentores: Alberto Ros; Stefanos Kaxiras
Entidad titular de derechos: Eta Scale AB
Nº de solicitud: US 16/388,120
País de inscripción: Estados Unidos de América
Fecha de registro: 18/04/2019
Fecha de concesión: 24/10/2019
- 8 Título propiedad industrial registrada:** System and method for non-speculative reordering of load accesses
Inventores/autores/obtentores: Alberto Ros; Stefanos Kaxiras
Entidad titular de derechos: Eta Scale AB
Nº de solicitud: US 15/987,186
País de inscripción: Estados Unidos de América
Fecha de registro: 23/05/2018
Fecha de concesión: 27/12/2018
- 9 Título propiedad industrial registrada:** System and method for self-invalidation and self-downgrade cache coherence protocols
Inventores/autores/obtentores: Alberto Ros; Stefanos Kaxiras
Entidad titular de derechos: Eta Scale AB
Nº de solicitud: US 15/855,378
País de inscripción: Estados Unidos de América
Fecha de registro: 27/12/2017
Fecha de concesión: 02/06/2018
- 10 Título propiedad industrial registrada:** Systems and methods for coherence in clustered cache hierarchies
Inventores/autores/obtentores: Alberto Ros; Stefanos Kaxiras
Entidad titular de derechos: Eta Scale AB
Nº de solicitud: US 15/015,274
País de inscripción: Estados Unidos de América
Fecha de registro: 04/02/2016
Fecha de concesión: 11/08/2016
- 11 Título propiedad industrial registrada:** System and method for simplifying cache coherence using multiple write policies
Inventores/autores/obtentores: Stefanos Kaxiras; Alberto Ros
Entidad titular de derechos: Eta Scale AB
Nº de solicitud: US 13/793,521
País de inscripción: Estados Unidos de América
Fecha de registro: 11/03/2013
Fecha de concesión: 01/03/2016
- 12 Título propiedad industrial registrada:** System and method for data classification and efficient virtual cache coherence without reverse translation
Inventores/autores/obtentores: Stefanos Kaxiras; Alberto Ros; Mahdad Davari



Entidad titular de derechos: Eta Scale AB
Nº de solicitud: WO 2013186694 A3
Fecha de registro: 31/07/2014

Actividades científicas y tecnológicas

Producción científica

Índice H: 23
Fecha de aplicación: 28/03/2024
Fuente de Índice H: GOOGLE SCHOLAR

Publicaciones, documentos científicos y técnicos

- 1** Alberto Ros; Alexandra Jimborean. Effective Context-Sensitive Memory Dependence Prediction. IEEE Transactions on Computers (TC). 73 - 2, pp. 548 - 559. IEEE Computer Society, 02/2024.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 2** Víctor Nicolás-Conesa; Rubén Titos-Gil; Ricardo Fernández-Pascual; Alberto Ros; Manuel E. Acacio. On the Interactions between ILP and TLP with Hardware Transactional Memory. Microprocessors and Microsystems (MICPRO). 104, pp. 104975. Elsevier, 02/2024.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 3** Josué Feliu; Alberto Ros; Manuel E. Acacio; Stefanos Kaxiras. Speculative Inter-Thread Store-to-Load Forwarding in SMT Architectures. Journal of Parallel Distributed Computing (JPDC). 173, pp. 94 - 106. Academic Press, Inc., 03/2023.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 4** Bhargavi R. Upadhyay; Alberto Ros; Supriya M.. Fine-Grain Data Classification to Filter Token Coherence Traffic. Journal of Parallel Distributed Computing (JPDC). 171, pp. 40 - 53. Academic Press, Inc., 01/2023. ISSN 0743-7315
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
Fuente de impacto: WOS (JCR) **Categoría:** Science Edition - COMPUTER SCIENCE, THEORY & METHODS
Índice de impacto: 3.734 **Revista dentro del 25%:** Si
Posición de publicación: 19 **Num. revistas en cat.:** 110
- 5** Juan Manuel Cebrian; Thibaud Balem; Adrian Barredo; Marc Casas; Miquel Moreto; Alberto Ros; Alexandra Jimborean. Compiler-Assisted Compaction/Restoration of SIMD Instructions. IEEE Transactions on Parallel and Distributed Systems (TPDS). 33 - 4, pp. 779 - 791. IEEE Computer Society, 04/2022. ISSN 1045-9219
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
Fuente de impacto: WOS (JCR) **Categoría:** Science Edition - COMPUTER SCIENCE, THEORY & METHODS
Índice de impacto: 2.687 **Revista dentro del 25%:** No
Posición de publicación: 30 **Num. revistas en cat.:** 110



- 6** Marina Shimchenko; Ricardo Fernández-Pascual; Rubén Titos-Gil; Manuel E. Acacio; Stefanos Kaxiras; Alberto Ros; Alexandra Jimborean. Analysing Software Prefetching Opportunities in Hardware Transactional Memory. Journal of Supercomputing (SUPE). 78 - 1, pp. 919 - 944. Springer US, 01/2022.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
Autor de correspondencia: Si
Fuente de impacto: WOS (JCR) **Categoría:** Science Edition - COMPUTER SCIENCE, THEORY & METHODS
Índice de impacto: 2.474 **Revista dentro del 25%:** No
Posición de publicación: 33 **Num. revistas en cat.:** 110
- 7** Rubén Titos-Gil; Ricardo Fernández-Pascual; Manuel E. Acacio; Alberto Ros. DeTraS: Delaying Stores for Friendly-Fire Mitigation in Hardware Transactional Memory. IEEE Transactions on Parallel and Distributed Systems (TPDS). 33, pp. 1 - 13. IEEE Computer Society, 01/2022. ISSN 1045-9219
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
Fuente de impacto: WOS (JCR) **Categoría:** Science Edition - COMPUTER SCIENCE, THEORY & METHODS
Índice de impacto: 2.687 **Revista dentro del 25%:** No
Posición de publicación: 30 **Num. revistas en cat.:** 110
- 8** Bhargavi R. Upadhyay; Alberto Ros; Jalpa Shah. Efficient Classification of Private Memory Blocks. Journal of Parallel Distributed Computing (JPDC). 157, pp. 256 - 268. Academic Press, Inc., 11/2021. ISSN 0743-7315
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
Fuente de impacto: WOS (JCR) **Categoría:** Science Edition - COMPUTER SCIENCE, THEORY & METHODS
Índice de impacto: 3.734 **Revista dentro del 25%:** Si
Posición de publicación: 19 **Num. revistas en cat.:** 110
- 9** Rubén Titos-Gil; Ricardo Fernández-Pascual; Alberto Ros; Manuel E. Acacio. PfTouch: Concurrent Page-Fault Handling for Intel Restricted Transactional Memory. Journal of Parallel Distributed Computing (JPDC). 145, pp. 111 - 123. 11/2020.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 10** Christos Sakalis; Stefanos Kaxiras; Alberto Ros; Alexandra Jimborean; Magnus Själander. Understanding Selective Delay as a Method for Efficient Secure Speculative Execution. IEEE Transactions on Computers (TC). 69 - 11, pp. 1584 - 1595. 11/2020.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 11** Alberto Ros; Alexandra Jimborean. The Entangling Instruction Prefetcher. IEEE Computer Architecture Letters (CAL). 19 - 2, pp. 84 - 87. 07/2020.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 12** Rubén Titos-Gil; Ricardo Fernández-Pascual; Alberto Ros; Manuel E. Acacio. Concurrent Irrevocability in Best-Effort Hardware Transactional Memory. IEEE Transactions on Parallel and Distributed Systems (TPDS). 31 - 6, pp. 1301 - 1315. 06/2020.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 13** Rubén Titos-Gil; Antonio Flores; Ricardo Fernández-Pascual; Alberto Ros; Salvador Petit; Julio Sahuquillo; Manuel E. Acacio. Way Combination for an Adaptive and Scalable Coherence Directory. IEEE Transactions on Parallel and Distributed Systems (TPDS). 30 - 11, pp. 2608 - 2623. 11/2019.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista

- 14** Stefanos Kaxiras; Trevor E. Carlson; Mehdi Alipour; Alberto Ros. Non-Speculative Load Reordering in TSO. IEEE Micro (TopPicks). 38 - 53, pp. 48 - 57. 05/2018.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 15** Albert Esteve; Alberto Ros; Antonio Robles; María E. Gómez. TokenTLB+CUP: A Token-Based Page Classification with Cooperative Usage Prediction. IEEE Transactions on Parallel and Distributed Systems (TPDS). 29 - 5, pp. 1188 - 1201. 05/2018.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 16** Albert Esteve; Alberto Ros; Antonio Robles; María E. Gómez. TokenTLB+CUP: A Token-Based Page Classification with Cooperative Usage Prediction. IEEE Transactions on Parallel and Distributed Systems (TPDS). 29 - 5, pp. 1188 - 1201. 05/2018.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 17** Alexandra Jimborean; Jonatan Waern; Per Ekemark; Stefanos Kaxiras; Alberto Ros. Automatic Detection of Large Extended Data-Race-Free Regions with Conflict Isolation. IEEE Transactions on Parallel and Distributed Systems (TPDS). 29 - 3, pp. 527 - 541. 03/2018.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 18** José L. Abellán and Eduardo Padierna and Alberto Ros; Manuel E. Acacio. Photonic-Based Express Coherence Notifications for Many-core CMPs. Journal of Parallel Distributed Computing (JPDC). 113, pp. 179 - 194. 03/2018.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 19** Parosh Aziz Abdulla; Mohamed Faouzi Atig; Stefanos Kaxiras; Carl Leonardsson; Alberto Ros; Yunyun Zhu. Mending Fences with Self-Invalidation and Self-Downgrade. Logical Methods in Computer Science (LMCS). 14 - 1, pp. 1 - 33. 01/2018.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 20** Alberto Ros; Carl Leonardsson; Christos Sakalis; Stefanos Kaxiras. Efficient Self-Invalidation/Self-Downgrade for Critical Sections with Relaxed Semantics. IEEE Transactions on Parallel and Distributed Systems (TPDS). 28 - 12, pp. 3413 - 3425. 12/2017.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 21** Ricardo Fernández-Pascual; Alberto Ros; Manuel E. Acacio. To Be Silent or Not: On the Impact of Evictions of Clean Data in Cache-Coherent Multicores. Journal of Supercomputing (JSC). 73 - 10, pp. 4428 - 4443. 10/2017.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 22** Albert Esteve; Alberto Ros; María E. Gómez; Antonio Robles; José Duato. TLB-Based Temporality-Aware Classification in CMPs with Multilevel TLBs. IEEE Transactions on Parallel and Distributed Systems (TPDS). 28 - 8, pp. 2401 - 2413. 08/2017.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 23** Joan J. Valls; Alberto Ros; María E. Gómez; Julio Sahuquillo. The Tag Filter Architecture: An Energy-Efficient Cache and Directory Design. Journal of Parallel Distributed Computing (JPDC). 100 - 2, pp. 193 - 202. 02/2017.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 24** Juan M. Cebrián; Ricardo Fernández-Pascual; Alexandra Jimborean; Manuel E. Acacio; Alberto Ros. A Dedicated Private-Shared Cache Design for Scalable Multiprocessors. Concurrency and Computation: Practice and Experience (CPE). 29 - 2, pp. no - no. 01/2017.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista

- 25** Alberto Ros; Alexandra Jimborean. A Hybrid Static-Dynamic Classification for Dual-Consistency Cache Coherence. IEEE Transactions on Parallel and Distributed Systems (TPDS). 27 - 11, pp. 3101 - 3115. 11/2016.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 26** Konstantinos Koukos; Alberto Ros; Erik Hagersten; Stefanos Kaxiras. Building Heterogeneous Unified Virtual Memories (UVMs) without the Overhead. ACM Transactions on Architecture and Code Optimiza-. 13 - 1, pp. 1:1 - 1:22. 03/2016.
Tipo de producción: Artículo científico
- 27** Albert Esteve; Alberto Ros; María E. Gómez; Antonio Robles; José Duato. Efficient TLB-Based Detection of Private Pages in Chip Multiprocessors. IEEE Transactions on Parallel and Distributed Systems (TPDS). 27 - 3, pp. 748 - 761. 03/2016.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 28** Ricardo Fernández-Pascual; Alberto Ros; Manuel E. Acacio. Are Distributed Sharing Codes a Solution to the Scalability Problem of Coherence Directories in Manycores? An Evaluation Study. Journal of Supercomputing (JSC). 72 - 2, pp. 612 - 638. 02/2016.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 29** Joan J. Valls; Alberto Ros; Julio Sahuquillo; María E. Gómez. PS Directory: A Scalable Multilevel Directory Cache for CMPs. Journal of Computer and System Sciences (JSC). 71 - 8, pp. 2847 - 2876. 08/2015.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 30** Mahdad Davari; Alberto Ros; Erik Hagersten; Stefanos Kaxiras. The Effects of Granularity and Adaptivity on Private/Shared Classification for Coherence. ACM Transactions on Architecture and Code Optimiza-. 12 - 3, pp. 26:1 - 26:21. 08/2015.
Tipo de producción: Artículo científico
- 31** Alberto Ros; Polychronis Xekalakis; Marcelo Cintra; Manuel E. Acacio; José M. García. Adaptive Selection of Cache Indexing Bits for Removing Conflict Misses. IEEE Transactions on Computers (TC). 64 - 6, pp. 1534 - 1547. 06/2015.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 32** Alberto Ros; Manuel E. Acacio. DASC-DIR: a low-overhead coherence directory for many-core processors. Journal of Supercomputing (JSC). 71 - 3, pp. 781 - 807. 03/2015.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 33** Joan J. Valls; Alberto Ros; Julio Sahuquillo; María E. Gómez. PS-Cache: An Energy-Efficient Cache Design for Chip Multiprocessors. Journal of Supercomputing (JSC). 71 - 1, pp. 67 - 86. 01/2015.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 34** Blas Cuesta; Alberto Ros; Maria E. Gómez; Antonio Robles; José Duato. Increasing the Effectiveness of Directory Caches by Avoiding the Tracking of Non-Coherent Memory Blocks. IEEE Transactions on Computers (TC). 62 - 3, pp. 482 - 495. 03/2013.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 35** Alberto Ros; Blas Cuesta; Ricardo Fernández-Pascual; Maria E. Gómez; Manuel E. Acacio; Antonio Robles; José M. García; José Duato. Extending Magny-Cours Cache Coherence. IEEE Transactions on Computers (TC). 61 - 5, pp. 593 - 606. 05/2012.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista

- 36** Antonio García-Guirado; Ricardo Fernández-Pascual; Alberto Ros; José M. García. DAPSCO: Distance-Aware Partially Shared Cache Organization. Transactions on Architecture and Code Optimization (TACO). 8 - 4, pp. 25:1 - 25:19. 01/2012.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 37** Alberto Ros; Manuel E. Acacio; José M. García. A Direct Coherence Protocol for Many-Core Chip Multiprocessors. IEEE Transactions on Parallel and Distributed Systems (TPDS). 21 - 12, pp. 1779 - 1792. 12/2010.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 38** Alberto Ros; Manuel E. Acacio; José M. García. A Scalable Organization for Distributed Directories. Journal of Systems Architecture (JSA). 56 - 2-3, pp. 77 - 87. 03/2010.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 39** Alberto Ros; Ricardo Fernández-Pascual; Manuel E. Acacio; José M. García. Two Proposals for the Inclusion of Directory Information in the Last-Level Private Caches of Glueless Shared-Memory Multiprocessors. Journal of Parallel Distributed Computing (JPDC). 68 - 11, pp. 1413 - 1424. 11/2008.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 40** Alberto Ros; Manuel E. Acacio; José M. García. Cache Coherence Protocols for Many-Core CMPs. Parallel and Distributed Computing. pp. 93 - 118. IN-TECH, 01/2010.
Tipo de producción: Capítulo de libro **Tipo de soporte:** Libro
- 41** Alberto Ros. Efficient and Scalable Cache Coherence for Chip Multiprocessors: Novel Proposals for Managing Cache Coherence in Future Many-Core Chip Multiprocessors. Efficient and Scalable Cache Coherence for Chip Multiprocessors: Novel Proposals for Managing Cache Coherence in Future Many-Core Chip Multiprocessors. pp. 1 - 196. LAP Lambert Academic Publishing, 02/2010.
Tipo de producción: Libro o monografía científica **Tipo de soporte:** Libro
- 42** Alberto Ros. Parallel and Distributed Computing. Parallel and Distributed Computing. pp. 1 - 290. IN-TECH, 01/2010.
Tipo de producción: E **Tipo de soporte:** Libro

Trabajos presentados en congresos nacionales o internacionales

- 1** **Título del trabajo:** Alternate Path μ -op Cache Prefetching
Nombre del congreso: 51st International Symposium on Computer Architecture (ISCA)
Ciudad de celebración: Buenos Aires, Argentina
Fecha de celebración: 07/2024
Entidad organizadora: ACM/IEEE
Sawan Singh; Arthur Perais; Alexandra Jimborean; Alberto Ros. "Artículo científico".
- 2** **Título del trabajo:** Effective Context-Sensitive Memory Dependence Prediction
Nombre del congreso: 30th Symposium on High Performance Computer Architecture (HPCA)
Ciudad de celebración: Edimburgo, Reino Unido
Fecha de celebración: 03/2024
Entidad organizadora: IEEE
Sebastian S. Kim; Alberto Ros. "Artículo científico".
- 3** **Título del trabajo:** CELLO: Compiler-Assisted Efficient Load-Load Ordering in Data-Race-Free Regions
Nombre del congreso: 32nd International Conference on Parallel Architectures and Compilation Techniques (PACT)

Ciudad de celebración: Viena, Austria

Fecha de celebración: 10/2023

Entidad organizadora: IEEE

Sawan Singh; Josué Feliu; Manuel E. Acacio; Alexandra Jimborean; Alberto Ros. "Artículo científico".

4 Título del trabajo: Rebasing Microarchitectural Research with Industry Traces

Nombre del congreso: 2023 IEEE International Symposium on Workload Characterization (IISWC)

Ciudad de celebración: Gante, Bélgica

Fecha de celebración: 10/2023

Entidad organizadora: IEEE

Josué Feliu; Arthur Perais; Daniel Jimenez; Alberto Ros. "Artículo científico".

5 Título del trabajo: MBPlib: Modular Branch Prediction Library

Nombre del congreso: International Symposium on Performance Analysis of Systems and Software (ISPASS)

Ciudad de celebración: Raleigh, Estados Unidos de América

Fecha de celebración: 04/2023

Entidad organizadora: IEEE

Emilio Dominguez-Sanchez; Alberto Ros. "Artículo científico".

6 Título del trabajo: Splash-4: A Modern Benchmark Suite with Lock-Free Constructs

Nombre del congreso: 2022 IEEE International Symposium on Workload Characterization (IISWC)

Tipo evento: Congreso

Ciudad de celebración: Austin, Estados Unidos de América

Fecha de celebración: 11/2022

Entidad organizadora: IEEE

Eduardo José Gómez-Hernández; Juan Manuel Cebrian; Stefanos Kaxiras; Alberto Ros. 2022, pp. 51 - 64. IEEE, ISBN 978-1-6654-8799-3

7 Título del trabajo: Berti: An Accurate Local-Delta Data Prefetcher

Nombre del congreso: 55th International Symposium on Microarchitecture (MICRO)

Tipo evento: Congreso

Ciudad de celebración: Chicago, Estados Unidos de América

Fecha de celebración: 10/2022

Entidad organizadora: IEEE

Agustín Navarro-Torres; Biswabandan Panda; Jesús Alastruey-Benedé; Pablo Ibañez; Víctor Viñals-Yúfera; Alberto Ros. 55, pp. 975 - 991. IEEE, ISBN 978-1-6654-6272-3

8 Título del trabajo: Composite Instruction Prefetching: Combining Complementary Instruction Prefetchers

Nombre del congreso: 40th IEEE International Conference on Computer Design (ICCD)

Tipo evento: Congreso

Ciudad de celebración: Lake Tahoe, Estados Unidos de América

Fecha de celebración: 10/2022

Entidad organizadora: IEEE

Gino Chacon; Elba Garza; Alexandra Jimborean; Alberto Ros; Paul Gratz; Daniel Jimenez; Samira Mirbagher-Ajorpaz. 40, pp. 471 - 478. IEEE, ISSN 1063-6404, ISBN 978-1-6654-6187-0

9 Título del trabajo: Exploring Instruction Fusion Opportunities in General Purpose Processors

Nombre del congreso: 55th International Symposium on Microarchitecture (MICRO)

Tipo evento: Congreso

Ciudad de celebración: Chicago, Estados Unidos de América



Fecha de celebración: 10/2022

Entidad organizadora: IEEE

Sawan Singh; Arthur Perais; Alexandra Jimborean; Alberto Ros. 55, pp. 199 - 212. IEEE, ISBN 978-1-6654-6272-3

10 Título del trabajo: Free Atomics: Hardware Atomic Operations without Fences

Nombre del congreso: 49th International Symposium on Computer Architecture (ISCA)

Tipo evento: Congreso

Ciudad de celebración: Nueva York, Estados Unidos de América

Fecha de celebración: 06/2022

Entidad organizadora: ACM

Ashkan Asgharzadeh; Juan M. Cebrian; Arthur Perais; Stefanos Kaxiras; Alberto Ros. 49, pp. 14 - 26. ACM, ISSN 1063-6897, ISBN 978-1-4503-8610-4

11 Título del trabajo: Analysis of the Interactions Between ILP and TLP With Hardware Transactional Memory

Nombre del congreso: 23rd Euromicro International Conference on Parallel, Distributed, and Network-Based Processing (PDP)

Ciudad de celebración: España

Fecha de celebración: 03/2022

Entidad organizadora: IEEE Computer Society

Víctor Nicolás-Conesa; Rubén Titos-Gil; Ricardo Fernández-Pascual; Alberto Ros; Manuel E. Acacio. 23, pp. 157 - 164. IEEE Computer Society, ISBN 978-1-6654-6958-6

12 Título del trabajo: Efficient, Distributed, and Non-Speculative Multi-Address Atomic Operations

Nombre del congreso: 54th International Symposium on Microarchitecture (MICRO)

Tipo evento: Congreso

Ciudad de celebración: Evento online a nivel mundial,

Fecha de celebración: 10/2021

Eduardo José Gómez-Hernández; Rubén Titos-Gil; Juan Manuel Cebrián; Stefanos Kaxiras; Alberto Ros. "Actas del congreso". 54, pp. 337 - 349. ISBN 978-1-4503-8557-2

13 Título del trabajo: ITSLE: Inter-Thread Store-to-Load Forwarding in Simultaneous Multithreading

Nombre del congreso: 54th International Symposium on Microarchitecture (MICRO)

Tipo evento: Congreso

Ciudad de celebración: Evento online a nivel mundial,

Fecha de celebración: 10/2021

Josué Feliú; Alberto Ros; Manuel E. Acacio; Stefanos Kaxiras. "Actas del congreso". 54, pp. 1296 - 1308. IEEE Computer Society, ISBN 978-1-4503-8557-2

14 Título del trabajo: A Cost-Effective Entangling Prefetcher for Instructions

Nombre del congreso: 48th International Symposium on Computer Architecture (ISCA)

Ciudad de celebración: Evento on-line a nivel mundial,

Fecha de celebración: 06/2021

Alberto Ros; Alexandra Jimborean. "Actas del congreso pp. 99--111".

15 Título del trabajo: Splash-4: Improving Scalability with Lock-Free Constructs

Nombre del congreso: International Symposium on Performance Analysis of Systems and Software (ISPASS)

Ciudad de celebración: Evento on-line a nivel mundial,

Fecha de celebración: 03/2021

Eduardo José Gómez-Hernández; Ruixiang Shao; Christos Sakalis; Stefanos Kaxiras; Alberto Ros. "Actas del congreso pp. 235--236".

- 16 Título del trabajo:** TSOPER: Efficient Coherence-Based Strict Persistency
Nombre del congreso: 27th Symposium on High Performance Computer Architecture (HPCA)
Ciudad de celebración: Evento on-line a nivel mundial,
Fecha de celebración: 02/2021
Per Ekemark; Yuan Yao; Alberto Ros; Konstantinos Sagonas; Stefanos Kaxiras. "Actas del Congreso, pp. 125–138".
- 17 Título del trabajo:** Boosting Store Buffer Efficiency with Store-Prefetch Bursts
Nombre del congreso: 53rd International Symposium on Microarchitecture (MICRO)
Ciudad de celebración: Evento on-line a nivel mundial,
Fecha de celebración: 10/2020
Juan Manuel Cebrián; Alberto Ros; Stefanos Kaxiras. "Actas del Congreso, pp. 568–580".
- 18 Título del trabajo:** Clearing the Shadows: Recovering Lost Performance for Invisible Speculative Execution through HW/SW Co-Design
Nombre del congreso: 29th International Conference on Parallel Architectures and Compilation Techniques (PACT)
Ciudad de celebración: Evento on-line a nivel mundial,
Fecha de celebración: 10/2020
Kim-Anh Tran; Christos Sakalis; Magnus Sjölander; Alberto Ros; Stefanos Kaxiras; Alexandra Jimborean. "Actas del Congreso, pp. 241–254".
- 19 Título del trabajo:** Regional Out-of-Order Writes in Total Store Order
Nombre del congreso: 29th International Conference on Parallel Architectures and Compilation Techniques (PACT)
Ciudad de celebración: Evento on-line a nivel mundial,
Fecha de celebración: 10/2020
Sawan Singh; Alexandra Jimborean; Alberto Ros. "Actas del Congreso, pp. 205–216".
- 20 Título del trabajo:** Speculative Enforcement of Store Atomicity
Nombre del congreso: 53rd International Symposium on Microarchitecture (MICRO)
Ciudad de celebración: Evento on-line a nivel mundial,
Fecha de celebración: 10/2020
Alberto Ros; Stefanos Kaxiras. "Actas del Congreso, pp. 555–567".
- 21 Título del trabajo:** The Entangling Instruction Prefetcher
Nombre del congreso: The 1st Instruction Prefetching Championship
Ciudad de celebración: Evento on-line a nivel mundial,
Fecha de celebración: 05/2020
Alberto Ros; Alexandra Jimborean. "On-line".
- 22 Título del trabajo:** TLB-based Block-Grain Classification of Private Data
Nombre del congreso: 28th Euromicro International Conference on Parallel, Distributed and Network-Based Processing (PDP)
Ciudad de celebración: Vasteras, Suecia,
Fecha de celebración: 03/2020
Bhargavi R. Upadhyay; Alberto Ros; Murty NS. "Actas del Congreso, pp. 122–130".



- 23 Título del trabajo:** Berti: A Per-
Nombre del congreso: The 3rd Data Prefetching Championship
Ciudad de celebración: Phoenix, Estados Unidos de América
Fecha de celebración: 06/2019
Alberto Ros. "On-line".
- 24 Título del trabajo:** Efficient Invisible Speculative Execution through Selective Delay and Value Prediction
Nombre del congreso: 46th International Symposium on Computer Architecture (ISCA)
Ciudad de celebración: Phoenix, Estados Unidos de América
Fecha de celebración: 06/2019
Christos Sakalis; Stefanos Kaxiras; Alberto Ros; Alexandra Jimborean; Magnus Själander. "Actas del Congreso, pp. 723–735".
- 25 Título del trabajo:** Filter Caching for Free: The Untapped Potential of the Store Buffer
Nombre del congreso: 46th International Symposium on Computer Architecture (ISCA)
Ciudad de celebración: Phoenix, Estados Unidos de América
Fecha de celebración: 06/2019
Ricardo Alves; Alberto Ros; David Black-Schaffer; Stefanos Kaxiras. "Actas del Congreso, pp. 436–448".
- 26 Título del trabajo:** Ghost Loads: What is the Cost of Invisible Speculation?
Nombre del congreso: ACM International Conference on Computing Frontiers
Ciudad de celebración: Alghero,
Fecha de celebración: 04/2019
Christos Sakalis; Mehdi Alipour; Alberto Ros; Alexandra Jimborean; Stefanos Kaxiras; Magnus Själander. "Actas del Congreso, pp. 153–163".
- 27 Título del trabajo:** The Superfluous Load Queue
Nombre del congreso: 51st International Symposium on Microarchitecture (MICRO)
Ciudad de celebración: Fukuoka, Japón,
Fecha de celebración: 10/2018
Alberto Ros; Stefanos Kaxiras. "Actas del Congreso, pp. 95–107".
- 28 Título del trabajo:** Non-Speculative Store Coalescing in Total Store Order
Nombre del congreso: 45th International Symposium on Computer Architecture (ISCA)
Ciudad de celebración: Los Angeles,
Fecha de celebración: 06/2018
Alberto Ros; Stefanos Kaxiras. "Actas del Congreso, pp. 221–234".
- 29 Título del trabajo:** CUP: Un Predictor de Uso de
Nombre del congreso: Jornadas Sarteco 2017
Ciudad de celebración: Málaga, España
Fecha de celebración: 09/2017
Albert Esteve; Alberto Ros; María E. Gómez; Antonio Robles. "Actas del Congreso, pp. 267–273".
- 30 Título del trabajo:** Manteniendo la Coherencia de Cachés con Tecnología Nanofotónica
Nombre del congreso: Jornadas Sarteco 2017
Ciudad de celebración: Málaga, España
Fecha de celebración: 09/2017
José L. Abellán; Eduardo Padierna; Alberto Ros; Manuel E. Acacio. "Actas del Congreso, pp. 39–46".



- 31 Título del trabajo:** Operaciones de Carga Fuera de Orden y sin Especulación en TSO
Nombre del congreso: Jornadas Sarteco 2017
Ciudad de celebración: Málaga, España
Fecha de celebración: 09/2017
Alberto Ros; Trevor E. Carlson; Mehdi Alipour; Stefanos Kaxiras. "Actas del Congreso, pp. 215–220".
- 32 Título del trabajo:** Uso de Combinación de Vías para mejorar la Eficiencia de las Cachés de Directorio
Nombre del congreso: Jornadas Sarteco 2017
Ciudad de celebración: Málaga, España
Fecha de celebración: 09/2017
Rubén Titos-Gil; Antonio Flores; Ricardo Fernández-Pascual; Alberto Ros; Manuel E. Acacio. "Actas del Congreso, pp. 275–281".
- 33 Título del trabajo:** Non-Speculative Load-Load Reordering in TSO
Nombre del congreso: 44th International Symposium on Computer Architecture (ISCA)
Ciudad de celebración: Toronto, Canadá
Fecha de celebración: 06/2017
Alberto Ros; Trevor E. Carlson; Mehdi Alipour; Stefanos Kaxiras. "Actas del Congreso, pp. 187–200".
- 34 Título del trabajo:** Automatic Detection of Extended Data-Race-Free Regions
Nombre del congreso: International Symposium on Code Generation and Optimization (CGO)
Ciudad de celebración: Austin,
Fecha de celebración: 02/2017
Alexandra Jimborean; Jonatan Waern; Per Ekemark; Stefanos Kaxiras; Alberto Ros. "Actas del Congreso, pp. 14–26".
- 35 Título del trabajo:** Way-Combining Directory: An Adaptive and Scalable Low-Cost Coherence Directory
Nombre del congreso: International Conference on Supercomputing (ICS)
Ciudad de celebración: Chicago,
Fecha de celebración: 2017
Rubén Titos-Gil; Antonio Flores; Ricardo Fernández-Pascual; Alberto Ros; Manuel E. Acacio. "Actas del Congreso, pp. 20:1–20:10".
- 36 Título del trabajo:** A Directory Cache with Dynamic Private-Shared Partitioning
Nombre del congreso: 23rd International Conference on High Performance Computing (HiPC)
Ciudad de celebración: Hyderabad, India
Fecha de celebración: 12/2016
Joan J. Valls; Alberto Ros; Julio Sahuquillo; María E. Gómez. "Actas del Congreso, pp. 382–391".
- 37 Título del trabajo:** Racer: TSO Consistency via Race Detection
Nombre del congreso: 49th International Symposium on Microarchitecture (MICRO)
Ciudad de celebración: Taipei, Taiwán
Fecha de celebración: 10/2016
Alberto Ros; Stefanos Kaxiras. "Actas del Congreso, pp. 1–13".
- 38 Título del trabajo:** Gestión de los Reemplazos de Bloques Limpios en Protocolos de Coherencia Basados en Directorio
Nombre del congreso: Jornadas Sarteco 2016
Ciudad de celebración: Salamanca, España
Fecha de celebración: 09/2016
Ricardo Fernández-Pascual; Alberto Ros; Manuel E. Acacio. "Actas del Congreso, pp. 489–496".



- 39 Título del trabajo:** Mecanismo de clasificación de
Nombre del congreso: Jornadas Sarteco 2016
Ciudad de celebración: Salamanca, España
Fecha de celebración: 09/2016
Albert Esteve; Alberto Ros; María E. Gómez; Antonio Robles. "Actas del Congreso, pp. 471–480".
- 40 Título del trabajo:** POSTER: Efficient Self-Invalidation/Self-Downgrade for Critical Sections with Relaxed Semantics
Nombre del congreso: 25th International Conference on Parallel Architectures and Compilation Techniques (PACT)
Ciudad de celebración: Haifa, Israel
Fecha de celebración: 09/2016
Alberto Ros; Carl Leonardsson; Christos Sakalis; Stefanos Kaxiras. "Actas del Congreso, pp. 433–434".
- 41 Título del trabajo:** Reduciendo el consumo dinámico de energía con Tag Filter Cache
Nombre del congreso: Jornadas Sarteco 2016
Ciudad de celebración: Salamanca, España
Fecha de celebración: 09/2016
Joan J. Valls; Alberto Ros; María E. Gómez; Julio Sahuquillo. "Actas del Congreso, pp. 525–532".
- 42 Título del trabajo:** Fencing Programs with Self-Invalidation and Self-Downgrade
Nombre del congreso: International Conference, FORTE 2016, Held as Part of the 11th International Federated Conference on Distributed Computing Techniques, DisCoTec 2016
Ciudad de celebración: Heraklion,
Fecha de celebración: 06/2016
Parosh Aziz Abdulla; Mohamed Faouzi Atig; Stefanos Kaxiras; Carl Leonardsson; Alberto Ros; Yunyun Zhu. "Lecture Notes in Computer Science, Vol. 9688, pp. 19–35".
- 43 Título del trabajo:** TokenTLB: A Token-Based
Nombre del congreso: International Conference on Supercomputing (ICS)
Ciudad de celebración: Estambul, Turquía
Fecha de celebración: 06/2016
Albert Esteve; Alberto Ros; Antonio Robles; María E. Gómez; José Duato. "Actas del Congreso, pp. 26:1–26:13".
- 44 Título del trabajo:** Splash-3: A Properly Synchronized Benchmark Suite for Contemporary Research
Nombre del congreso: International Symposium on Performance Analysis of Systems and Software (ISPASS)
Ciudad de celebración: Uppsala, Suecia
Fecha de celebración: 04/2016
Christos Sakalis; Carl Leonardsson; Stefanos Kaxiras; Alberto Ros. "Actas del Congreso, pp. 101–111".
- 45 Título del trabajo:** Optimization of a Linked Cache Coherence Protocol for Scalable Manycore Coherence
Nombre del congreso: International Conference on Architecture of Computing Systems (ARCS)
Ciudad de celebración: Nuremberg, Alemania
Fecha de celebración: 03/2016
Ricardo Fernández-Pascual; Alberto Ros; Manuel E. Acacio. "Lecture Notes in Computer Science, Vol. 9637, pp. 100–112".

- 46 Título del trabajo:** An Efficient, Self-Contained, On-Chip, Directory: DIR1-SISD
Nombre del congreso: 24th International Conference on Parallel Architectures and Compilation Techniques (PACT)
Ciudad de celebración: San Francisco, Estados Unidos de América
Fecha de celebración: 10/2015
Mahdad Davari; Alberto Ros; Erik Hagersten; Stefanos Kaxiras. "Actas del Congreso, pp. 317–330".
- 47 Título del trabajo:** Early Experiences with Separate Caches for Private and Shared Data
Nombre del congreso: 1st Workshop on E-science ReseaRch leading tO negative Results (ERROR)
Ciudad de celebración: Munich, Alemania
Fecha de celebración: 09/2015
Juan M. Cebrián; Alberto Ros; Ricardo Fernández-Pascual; Manuel E. Acacio. "Actas del Congreso, pp. 572–579".
- 48 Título del trabajo:** Optimización de un Protocolo de Directorio Basado en Lista Simple en Manycorres
Nombre del congreso: XXVI Jornadas de Paralelismo
Ciudad de celebración: Córdoba, España
Fecha de celebración: 09/2015
Ricardo Fernández-Pascual; Alberto Ros; Manuel E. Acacio. "Actas del Congreso, pp. 258–267".
- 49 Título del trabajo:** PS-Cache: Un diseño energéticamente eficiente para caches en CMPs
Nombre del congreso: XXVI Jornadas de Paralelismo
Ciudad de celebración: Córdoba, España
Fecha de celebración: 09/2015
Joan J. Valls; Alberto Ros; Julio Sahuquillo; María E. Gómez. "Actas del Congreso, pp. 73–81".
- 50 Título del trabajo:** Temporal-Aware TLB-Based Private
Nombre del congreso: XXVI Jornadas de Paralelismo
Ciudad de celebración: Córdoba, España
Fecha de celebración: 09/2015
Albert Esteve; Alberto Ros; María E. Gómez; Antonio Robles. "Actas del Congreso, pp. 14–23".
- 51 Título del trabajo:** Callback: Efficient Synchronization without Invalidation with a Directory Just for Spin-Waiting
Nombre del congreso: 42nd International Symposium on Computer Architecture (ISCA)
Ciudad de celebración: Portland, Estados Unidos de América
Fecha de celebración: 06/2015
Alberto Ros; Stefanos Kaxiras. "Actas del Congreso, pp. 427–438".
- 52 Título del trabajo:** Turning Centralized Coherence and Distributed Critical-Section Execution on their Head: A New Approach for Scalable Distributed Shared Memory
Nombre del congreso: 24th International Symposium on High-Performance Parallel and Distributed Computing (HPDC)
Ciudad de celebración: Portland, Estados Unidos de América
Fecha de celebración: 06/2015
Stefanos Kaxiras; David Klaftenegger; Magnus Norgren; Alberto Ros; Konstantinos Sagonas. "Actas del Congreso, pp. 3–14".
- 53 Título del trabajo:** A Dual-Consistency Cache Coherence Protocol
Nombre del congreso: 29nd International Parallel & Distributed Processing Symposium (IPDPS)
Ciudad de celebración: Hyderabad, India

Fecha de celebración: 05/2015

Alberto Ros; Alexandra Jimborean. "Actas del Congreso, pp. 1119–1128".

54 Título del trabajo: The Tag Filter Cache: An Energy-Efficient Approach

Nombre del congreso: 23rd Euromicro International Conference on Parallel, Distributed, and Network-Based Processing (PDP)

Ciudad de celebración: Turku, Finlandia

Fecha de celebración: 03/2015

Joan J. Valls; Julio Sahuquillo; Alberto Ros; María E. Gómez. "Actas del Congreso, pp. 182–189".

55 Título del trabajo: Hierarchical Private/Shared Classification: the Key to Simple and Efficient Coherence for Clustered Cache Hierarchies

Nombre del congreso: 21st Symposium on High Performance Computer Architecture (HPCA)

Ciudad de celebración: Bay Area, Estados Unidos de América

Fecha de celebración: 02/2015

Alberto Ros; Mahdad Davari; Stefanos Kaxiras. "Actas del Congreso, pp. 186–197".

56 Título del trabajo: Fast&Furious: A Tool for Detecting Covert Racing

Nombre del congreso: 6th Workshop on Parallel Programming and Run-Time Management Techniques for Many-core Architectures and 4th Workshop on Design Tools and Architectures for Multicore Embedded Computing Platforms

Ciudad de celebración: Amsterdam,

Fecha de celebración: 01/2015

Alberto Ros; Stefanos Kaxiras. "Actas del Congreso, pp. 1–6".

57 Título del trabajo: The Effects of Granularity and Adaptivity on Private/Shared Classification for Coherence

Nombre del congreso: 7th Swedish Workshop on Multicore Computing (MCC)

Ciudad de celebración: Lund, Suecia

Fecha de celebración: 11/2014

Mahdad Davari; Alberto Ros; Erik Hagersten; Stefanos Kaxiras. "Actas del Congreso, pp. 59–62".

58 Título del trabajo: Diseño y Evaluación de un Directorio Basado en Distancia en Arquitecturas CMP

Nombre del congreso: XXV Jornadas de Paralelismo

Ciudad de celebración: Valladolid, España

Fecha de celebración: 09/2014

Alberto Ros; Manuel E. Acacio. "Actas del Congreso, pp. 255–260".

59 Título del trabajo: Evaluación de un Protocolo de Directorio Basado en Lista de Compartidores para Manycores

Nombre del congreso: XXV Jornadas de Paralelismo

Ciudad de celebración: Valladolid, España

Fecha de celebración: 09/2014

Ricardo Fernández-Pascual; Alberto Ros; Manuel E. Acacio. "Actas del Congreso, pp. 269–274".

60 Título del trabajo: Characterization of a List-Based Directory Cache Coherence Protocol for Manycore CMPs

Nombre del congreso: 4th Workshop on On-chip memory hierarchies and interconnects: organization, management and implementation (OMHI)

Ciudad de celebración: Oporto, Portugal

Fecha de celebración: 08/2014

Ricardo Fernández-Pascual; Alberto Ros; Manuel E. Acacio. "Lecture Notes in Computer Science, Vol. 8805, 8806, pp. 254–265".

- 61 Título del trabajo:** Temporal-Aware Mechanism to Detect Private Data in Chip Multiprocessors
Nombre del congreso: 42nd International Conference on Parallel Processing (ICPP)
Ciudad de celebración: Lyon, Francia
Fecha de celebración: 10/2013
Alberto Ros; Blas Cuesta; María E. Gómez; Antonio Robles; José Duato. "Actas del Congreso, pp. 562–571".
- 62 Título del trabajo:** PS-Cache: An Energy-Efficient Cache Design for Chip Multiprocessors
Nombre del congreso: 22nd International Conference on Parallel Architectures and Compilation Techniques (PACT)
Ciudad de celebración: Edimburgo,
Fecha de celebración: 09/2013
Joan J. Valls; Alberto Ros; Julio Sahuquillo; María E. Gómez. "Actas del Congreso, pp. 407".
- 63 Título del trabajo:** ECONO: Express Coherence Notifications for Efficient Cache Coherency in Many-Core CMPs
Nombre del congreso: XIII International Conference on Embedded Computer Systems: Architectures, Modeling and Simulation (SAMOS)
Ciudad de celebración: Samos, Grecia
Fecha de celebración: 07/2013
José L. Abellán; Alberto Ros; Juan Fernández; Manuel E. Acacio. "Actas del Congreso, pp. 237–244".
- 64 Título del trabajo:** A New Perspective for Efficient Virtual-Cache Coherence
Nombre del congreso: 40th International Symposium on Computer Architecture (ISCA)
Ciudad de celebración: Tel-Aviv, Israel
Fecha de celebración: 06/2013
Stefanos Kaxiras; Alberto Ros. "Actas del Congreso, pp. 535–547".
- 65 Título del trabajo:** Efficient Dir0B Cache Coherency for Many-Core CMPs
Nombre del congreso: 18th International Conference on Computational Science (ICCS)
Ciudad de celebración: Barcelona, España
Fecha de celebración: 06/2013
José L. Abellán; Alberto Ros; Juan Fernández; Manuel E. Acacio. "Actas del Congreso, pp. 2545–2548".
- 66 Título del trabajo:** Using Heterogeneous Networks to Improve Energy Efficiency in Direct Coherence Protocols for Many- Core CMPs
Nombre del congreso: 24th International Symposium on Computer Architecture and High Performance Computing (SBAC- PAD)
Ciudad de celebración: Columbia University, Estados Unidos de América
Fecha de celebración: 10/2012
Alberto Ros; Ricardo Fernández-Pascual; Manuel E. Acacio. "Actas del Congreso, pp. 43–50".
- 67 Título del trabajo:** Caché de Último Nivel Parcialmente Compartida Basada en Distancia
Nombre del congreso: XXIII Jornadas de Paralelismo
Ciudad de celebración: Elche, España
Fecha de celebración: 09/2012
Antonio García-Guirado; Ricardo Fernández-Pascual; Alberto Ros; José M. García. "Actas del Congreso, pp. 425–430".



- 68 Título del trabajo:** Complexity-Effective Multicore Coherence
Nombre del congreso: 21st International Conference on Parallel Architectures and Compilation Techniques (PACT)
Ciudad de celebración: Minneapolis, Estados Unidos de América
Fecha de celebración: 09/2012
Alberto Ros; Stefanos Kaxiras. "Actas del Congreso, pp. 241–252".
- 69 Título del trabajo:** Efficient, Snoopless, System-on-Chip Coherence
Nombre del congreso: 25th IEEE International System-on-Chip Conference (IEEE SOCC)
Ciudad de celebración: Niagara Falls, Estados Unidos de América
Fecha de celebración: 09/2012
Stefanos Kaxiras; Alberto Ros. "Actas del Congreso, pp. 230–235".
- 70 Título del trabajo:** El Directorio PS: Una Caché de Directorio Multinivel Escalable para CMPs
Nombre del congreso: XXIII Jornadas de Paralelismo
Ciudad de celebración: Elche, España
Fecha de celebración: 09/2012
Joan J. Valls; Alberto Ros; Julio Sahuquillo; María E. Gómez. "Actas del Congreso, pp. 437–442".
- 71 Título del trabajo:** PS-Dir: A Scalable Two-Level Directory Cache
Nombre del congreso: 21st International Conference on Parallel Architectures and Compilation Techniques (PACT)
Ciudad de celebración: Minneapolis, Estados Unidos de América
Fecha de celebración: 09/2012
Joan J. Valls; Alberto Ros; Julio Sahuquillo; María E. Gómez; José Duato. "Actas del Congreso, pp. 451–452".
- 72 Título del trabajo:** Uso de Redes Heterogéneas para Mejorar la Eficiencia Energética de la Coherencia Directa en Many-Core CMPs
Nombre del congreso: XXIII Jornadas de Paralelismo
Ciudad de celebración: Elche, España
Fecha de celebración: 09/2012
Alberto Ros; Ricardo Fernández-Pascual; Manuel E. Acacio. "Actas del Congreso, pp. 212–217".
- 73 Título del trabajo:** ASCIB: Adaptive Selection of Cache Indexing Bits for Reducing Conflict Misses
Nombre del congreso: International Symposium on Low Power Electronics and Design (ISLPED)
Ciudad de celebración: Redondo Beach, Estados Unidos de América
Fecha de celebración: 07/2012
Alberto Ros; Polychronis Xekalakis; Marcelo Cintra; Manuel E. Acacio; José M. García. "Actas del Congreso, pp. 51–56".
- 74 Título del trabajo:** Cache Miss Characterization in Hierarchical Large-Scale Cache-Coherent Systems
Nombre del congreso: 4th International Workshop on Multicore and Multithreaded Architectures and Algorithms (M2A2)
Ciudad de celebración: Madrid, España
Fecha de celebración: 07/2012
Alberto Ros; Blas Cuesta; María E. Gómez; Antonio Robles; José Duato. "Actas del Congreso, pp. 691–696".
- 75 Título del trabajo:** DAPSCO: Distance-Aware Partially Shared Cache Organization
Nombre del congreso: 7th International Conference for High-Performance and Embedded Architectures and Compilers (HiPEAC)

Ciudad de celebración: París, Francia

Fecha de celebración: 01/2012

Antonio García-Guirado; Ricardo Fernández-Pascual; Alberto Ros; José M. García. "Actas del Congreso, pp. 25:1–25:19".

76 Título del trabajo: Characterization of Cache Misses in Large-Scale Cache-Coherent Servers

Nombre del congreso: 4th Swedish Workshop on Multicore Computing (MCC)

Ciudad de celebración: Linköping, Suecia

Fecha de celebración: 11/2011

Alberto Ros; Blas Cuesta; María E. Gómez; Antonio Robles; José Duato. "Actas del Congreso, pp. 21–24".

77 Título del trabajo: Energy-Efficient Cache Coherence Protocols in Chip-Multiprocessors for Server Consolidation

Nombre del congreso: 40th International Conference on Parallel Processing (ICPP)

Ciudad de celebración: Taipei, Taiwán

Fecha de celebración: 09/2011

Antonio García-Guirado; Ricardo Fernández-Pascual; Alberto Ros; José M. García. "Actas del Congreso, pp. 51–62".

78 Título del trabajo: Overcoming the Scalability Constraints of Coherence Protocols of Commodity Systems

Nombre del congreso: XXII Jornadas de Paralelismo

Ciudad de celebración: La Laguna, España

Fecha de celebración: 09/2011

Alberto Ros; Blas Cuesta; Ricardo Fernández-Pascual; María E. Gómez; Manuel E. Acacio; Antonio Robles; José M. García; José Duato. "Actas del Congreso, pp. 203–208".

79 Título del trabajo: Overriding the Coherence Protocol to Improve Directory Cache

Nombre del congreso: XXII Jornadas de Paralelismo

Ciudad de celebración: La Laguna, España

Fecha de celebración: 09/2011

Blas Cuesta; Alberto Ros; María E. Gómez; Antonio Robles; José Duato. "Actas del Congreso, pp. 197–203".

80 Título del trabajo: Self-Related Traces: An Alternative to Full-System Simulation for Networks-On-Chip

Nombre del congreso: International Conference on High Performance Computing & Simulation (HPCS)

Ciudad de celebración: Estambul, Turquía

Fecha de celebración: 07/2011

Francisco Triviño; Francisco J. Andujar; José L. Sánchez; Francisco J. Alfaro; Alberto Ros. "Actas del Congreso, pp. 819–824".

81 Título del trabajo: Increasing the Effectiveness of Directory Caches by Deactivating Coherence for Private Memory Blocks

Nombre del congreso: 38th International Symposium on Computer Architecture (ISCA)

Ciudad de celebración: San José,

Fecha de celebración: 06/2011

Blas Cuesta; Alberto Ros; María E. Gómez; Antonio Robles; José Duato. "Actas del Congreso, pp. 93–103".

82 Título del trabajo: EMC2: Extending Magny-Cours Coherence for Large-Scale Servers

Nombre del congreso: International Conference on High Performance Computing (HiPC)

Ciudad de celebración: Goa, India

Fecha de celebración: 12/2010



Alberto Ros; Blas Cuesta; Ricardo Fernández-Pascual; María E. Gómez; Manuel E. Acacio; Antonio Robles; José M. García; José Duato. "Actas del Congreso, pp. 1–10".

83 Título del trabajo: A Novel Mapping Policy for Distributed Shared Caches

Nombre del congreso: XXI Jornadas de Paralelismo

Ciudad de celebración: Valencia, España

Fecha de celebración: 09/2010

Alberto Ros; Marcelo Cintra; Manuel E. Acacio; José M. García. "Actas del Congreso, pp. 209–216".

84 Título del trabajo: Evaluation of Low-Overhead Organizations for the Directory in Future Many-Core CMPs

Nombre del congreso: 4th Workshop on Highly Parallel Processing on a Chip (HPPC)

Ciudad de celebración: Ischia, Italia

Fecha de celebración: 08/2010

Alberto Ros; Manuel E. Acacio. "Lecture Notes in Computer Science, Vol. 6586, pp. 87–97".

85 Título del trabajo: Exploring the Field of Cache Coherence Protocols For Server Consolidation

Nombre del congreso: 6th HiPEAC Summer School on Advanced Computer Architecture and Compilation for Embedded Systems (ACACES)

Ciudad de celebración: Terrasa, España

Fecha de celebración: 07/2010

Antonio García-Guirado; Ricardo Fernández-Pascual; Alberto Ros; José M. García. "Actas, pp. 211–21".

86 Título del trabajo: Distance-Aware Round-Robin Mapping for Large NUCA Caches

Nombre del congreso: International Conference on High Performance Computing (HiPC)

Ciudad de celebración: Cochin, India

Fecha de celebración: 12/2009

Alberto Ros; Marcelo Cintra; Manuel E. Acacio; José M. García. "Actas del Congreso, pp. 79–88".

87 Título del trabajo: Achieving Directory Scalability and Lessening Network Traffic in Many-Core CMPs

Nombre del congreso: XX Jornadas de Paralelismo

Ciudad de celebración: A Coruña, España

Fecha de celebración: 09/2009

Alberto Ros; Manuel E. Acacio; José M. García. "Actas del Congreso, pp. 219–224".

88 Título del trabajo: Sistema Integrado de Simulación de NoCs

Nombre del congreso: XX Jornadas de Paralelismo

Ciudad de celebración: A Coruña, España

Fecha de celebración: 09/2009

Francisco Triviño; Francisco J. Andujar; Alberto Ros; José L. Sánchez; Francisco J. Alfaro. "Actas del Congreso, pp. 481–486".

89 Título del trabajo: Dealing with Traffic-Area Trade-Off in Direct Coherence Protocols for Many-Core CMPs

Nombre del congreso: International Conference on Advanced Parallel Processing Technologies (APPT)

Ciudad de celebración: Rapperswil, Suiza

Fecha de celebración: 08/2009

Alberto Ros; Manuel E. Acacio; José M. García. "Lecture Notes in Computer Science, Vol. 5737, pp. 11–24".

90 Título del trabajo: Efficient Cache Coherence Protocol in Tiled Chip Multiprocessors

Nombre del congreso: XIX Jornadas de Paralelismo

Ciudad de celebración: Castellón, España



Fecha de celebración: 09/2008

Alberto Ros; Manuel E. Acacio; José M. García. "Actas del Congreso, pp. 199–204".

- 91 Título del trabajo:** La plataforma Simics como herramienta de aprendizaje
Nombre del congreso: XIV Jornadas de Enseñanza Universitaria de Informática (JENUI)
Ciudad de celebración: Granada, España
Fecha de celebración: 07/2008
Alberto Ros; José M. García. "Actas del Congreso, pp. 291–298".
- 92 Título del trabajo:** Scalable Directory Organization for Tiled CMP Architectures
Nombre del congreso: International Conference on Computer Design (CDES)
Ciudad de celebración: Las Vegas, Estados Unidos de América
Fecha de celebración: 07/2008
Alberto Ros; Manuel E. Acacio; José M. García. "Actas del Congreso, pp. 112–118".
- 93 Título del trabajo:** DiCo-CMP: Efficient Cache Coherency in Tiled CMP Architectures
Nombre del congreso: International Parallel & Distributed Processing Symposium (IPDPS)
Ciudad de celebración: Miami, Estados Unidos de América
Fecha de celebración: 04/2008
Alberto Ros; Manuel E. Acacio; José M. García. "Actas del Congreso, pp. 1–11".
- 94 Título del trabajo:** Direct Coherence: Bringing Together Performance and Scalability in Shared-Memory Multiprocessors
Nombre del congreso: International Conference on High Performance Computing (HiPC)
Ciudad de celebración: Goa, India
Fecha de celebración: 12/2007
Alberto Ros; Manuel E. Acacio; José M. García. "Lecture Notes in Computer Science, Vol. 4873, pp. 147–160".
- 95 Título del trabajo:** Exploiting Cache-to-Cache Transfers of Clean Data in Glueless Shared-Memory Multiprocessors
Nombre del congreso: XVIII Jornadas de Paralelismo
Ciudad de celebración: Zaragoza, España
Fecha de celebración: 09/2007
Alberto Ros; Manuel E. Acacio; José M. García. "Actas del Congreso, pp. 123–130".
- 96 Título del trabajo:** The SGluM Cache for Scalable Glueless Shared-Memory Multiprocesors
Nombre del congreso: XVII Jornadas de Paralelismo
Ciudad de celebración: Albacete, España
Fecha de celebración: 09/2006
Alberto Ros; Manuel E. Acacio; José M. García. "Actas del Congreso, pp. 91–98".
- 97 Título del trabajo:** An Efficient Cache Design for Scalable Glueless Shared-Memory Multiprocessors
Nombre del congreso: ACM International Conference on Computing Frontiers
Ciudad de celebración: Ischia, Italia
Fecha de celebración: 05/2006
Alberto Ros; Manuel E. Acacio; José M. García. "Actas del Congreso, pp. 321–330".
- 98 Título del trabajo:** Diseño y Evaluación de una Arquitectura de Directorio Ligero para Multiprocesadores de Memoria Compartida Escalables
Nombre del congreso: XVI Jornadas de Paralelismo



Ciudad de celebración: Granada, España

Fecha de celebración: 09/2005

Alberto Ros; Manuel E. Acacio; José M. García. "Actas del Congreso, pp. 91–98".

99 Título del trabajo: A Novel Lightweight Directory Architecture for Scalable Shared-Memory Multiprocessors

Nombre del congreso: 11th International Euro-Par Conference

Ciudad de celebración: Lisboa, Portugal

Fecha de celebración: 08/2005

Alberto Ros; Manuel E. Acacio; José M. García. "Lecture Notes in Computer Science, Vol. 3648, pp. 582–591".

Otras actividades de divulgación

1 Título del trabajo: High-performance timely prefetching

Nombre del evento: Research talk, UBB

Ciudad de celebración: Cluj, Rumanía

Fecha de celebración: 13/12/2023

Entidad organizadora: Universitatea Babeş-Bolyai **Tipo de entidad:** Universidad

Ciudad entidad organizadora: Cluj, Rumanía

Alberto Ros Bardisa.

2 Título del trabajo: Boosting Data Centers Performance with the Entangling Instruction Prefetcher

Nombre del evento: The 6th Workshop on Hot Topics on Data Centers

Ciudad de celebración: China

Fecha de celebración: 12/2021

Entidad organizadora: Chinnese Science Society

Alberto Ros.

3 Título del trabajo: Entangling prefetchers

Nombre del evento: Seminar at TEXAS A&M UNIVERSITY

Fecha de celebración: 10/2021

Entidad organizadora: TEXAS A&M UNIVERSITY

Ciudad entidad organizadora: Estados Unidos de América

Alberto Ros.

4 Título del trabajo: Advances in Prefetching Mechanisms and Memory Consistency Speculation

Nombre del evento: Research talk, Apple

Ciudad de celebración: California, Estados Unidos de América

Fecha de celebración: 11/2020

Entidad organizadora: Apple

Alberto Ros.

5 Título del trabajo: The Future of Computer Architecture

Ciudad de celebración: Zurich, Suiza

Fecha de celebración: 11/2020

Entidad organizadora: Huawei

Alberto Ros.



- 6 Título del trabajo:** Entangling Prefetchers
Ciudad de celebración: Oregón, Estados Unidos de América
Fecha de celebración: 07/2020
Entidad organizadora: Intel
Alberto Ros.
- 7 Título del trabajo:** Non-Speculative and Invisible Reordering of Memory Operations
Ciudad de celebración: Madrid, España
Fecha de celebración: 03/2020
Entidad organizadora: FUNDACION IMDEA SOFTWARE
Alberto Ros.
- 8 Título del trabajo:** Non-Speculative Coalescing in Total Store Order
Ciudad de celebración: Oregón, Estados Unidos de América
Fecha de celebración: 11/2018
Entidad organizadora: Intel
Alberto Ros.
- 9 Título del trabajo:** Non-speculative memory reordering with strong consistency
Nombre del evento: Multicore Day
Ciudad de celebración: Estocolmo, Suecia
Fecha de celebración: 11/2017
Entidad organizadora: SICS
Alberto Ros.
- 10 Título del trabajo:** Non-speculative load-load reordering in TSO
Ciudad de celebración: Edimburgo, Reino Unido
Fecha de celebración: 10/2017
Entidad organizadora: University of Edinburgh
Alberto Ros.
- 11 Título del trabajo:** Racer: TSO-Consistency Cache Coherence
Ciudad de celebración: Oslo, Noruega
Fecha de celebración: 11/2016
Entidad organizadora: NUMAScale
Alberto Ros.
- 12 Título del trabajo:** VIPS: Simple, Efficient, and Scalable Cache Coherence
Ciudad de celebración: Barcelona, España
Fecha de celebración: 12/2015
Entidad organizadora: Barcelona Supercomputer Center
Alberto Ros.
- 13 Título del trabajo:** Private/Shared Classification in Complexity-Effective Coherence Protocols
Ciudad de celebración: California, Estados Unidos de América
Fecha de celebración: 10/2015
Entidad organizadora: Nvidia
Alberto Ros.



- 14** **Título del trabajo:** Efficient and Scalable Cache Coherence for Many-Core Architectures
Ciudad de celebración: Uppsala, Suecia
Fecha de celebración: 05/2011
Entidad organizadora: Uppsala University
Alberto Ros.
- 15** **Título del trabajo:** Efficient and Scalable Cache Coherence for Many-Core Architectures
Ciudad de celebración: Manchester, Reino Unido
Fecha de celebración: 05/2011
Entidad organizadora: University of Manchester
Alberto Ros.
- 16** **Título del trabajo:** Non-Speculative and Invisible Reordering of Memory Operations
Nombre del evento: DOCS seminar
Ciudad de celebración: Uppsala, Suecia
Entidad organizadora: Uppsala University
Alberto Ros.

Gestión de I+D+i y participación en comités científicos

Comités científicos, técnicos y/o asesores

- 1** **Título del comité:** Chair de comite de premio internacional
Entidad de afiliación: IEEE TCCA Young Computer Architect Award
Fecha de inicio-fin: 2024 - 2024
- 2** **Título del comité:** Co-chair en Architectures and Accelerators track
Entidad de afiliación: 30th International European Conference on Parallel and Distributed Computing (Euro-Par)
Fecha de inicio-fin: 2024 - 2024
- 3** **Título del comité:** Comite de programa en conferencia internacional
Entidad de afiliación: 57th International Symposium on Microarchitecture (MICRO)
Fecha de inicio-fin: 2024 - 2024
- 4** **Título del comité:** Comite de programa externo en conferencia internacional
Entidad de afiliación: 51st International Symposium on Computer Architecture (ISCA)
Fecha de inicio-fin: 2024 - 2024
- 5** **Título del comité:** Comite de premio internacional
Entidad de afiliación: IEEE TCCA Young Computer Architect Award
Fecha de inicio-fin: 2023 - 2023
- 6** **Título del comité:** Comite de programa en conferencia internacional
Entidad de afiliación: 2023 International Conference on Computer Design (ICCD)
Fecha de inicio-fin: 2023 - 2023



- 7** **Título del comité:** Comité de programa en conferencia internacional
Entidad de afiliación: 56th International Symposium on Microarchitecture (MICRO)
Fecha de inicio-fin: 2023 - 2023
- 8** **Título del comité:** Comité de programa externo en conferencia internacional
Entidad de afiliación: International Conference on Supercomputing (ICS)
Fecha de inicio-fin: 2023 - 2023
- 9** **Título del comité:** Comité de programa en conferencia internacional
Entidad de afiliación: 29th IEEE International Symposium on High-Performance Computer Architecture (HPCA)
Fecha de inicio-fin: 2023 - 2023
- 10** **Título del comité:** Comité de programa en conferencia internacional
Entidad de afiliación: 50th International Symposium on Computer Architecture (ISCA)
Fecha de inicio-fin: 2023 - 2023
- 11** **Título del comité:** Co-director de evaluación de artefactos
Entidad de afiliación: 28th IEEE International Symposium on High-Performance Computer Architecture (HPCA)
Fecha de inicio-fin: 2022 - 2022
- 12** **Título del comité:** Comité de programa en conferencia internacional
Entidad de afiliación: 33rd International Conference on Application-specific Systems, Architectures and Processors (ASAP)
Fecha de inicio-fin: 2022 - 2022
- 13** **Título del comité:** Comité de programa en conferencia internacional
Entidad de afiliación: 49th International Symposium on Computer Architecture (ISCA)
Fecha de inicio-fin: 2022 - 2022
- 14** **Título del comité:** Comité de programa en conferencia internacional
Entidad de afiliación: 55th International Symposium on Microarchitecture (MICRO)
Fecha de inicio-fin: 2022 - 2022
- 15** **Título del comité:** Comité de programa externo en conferencia internacional
Entidad de afiliación: 28th IEEE International Symposium on High-Performance Computer Architecture (HPCA)
Fecha de inicio-fin: 2022 - 2022
- 16** **Título del comité:** Comité de programa externo en conferencia internacional
Entidad de afiliación: IEEE 48th International Symposium on Computer Architecture (ISCA)
Fecha de inicio-fin: 2021 - 2021
- 17** **Título del comité:** Comité de programa en conferencia internacional
Entidad de afiliación: IEEE 47th International Symposium on Computer Architecture (ISCA)
Fecha de inicio-fin: 2020 - 2020
- 18** **Título del comité:** Comité de programa en conferencia internacional
Entidad de afiliación: IEEE 53rd International Symposium on Microarchitecture (MICRO)
Fecha de inicio-fin: 2020 - 2020



- 19 Título del comité:** Comité de programa en conferencia internacional
Entidad de afiliación: IEEE Design Automation and Test in Europe Conference (DATE)
Fecha de inicio-fin: 2020 - 2020
- 20 Título del comité:** Comité de programa en conferencia internacional
Entidad de afiliación: IEEE 26th International Conference on High Performance Computing, Data, and Analytics (HiPC)
Fecha de inicio-fin: 2019 - 2019
- 21 Título del comité:** Comité de programa en conferencia internacional
Entidad de afiliación: IEEE International Parallel & Distributed Processing Symposium (IPDPS)
Fecha de inicio-fin: 2019 - 2019
- 22 Título del comité:** Comité de programa externo en conferencia internacional
Entidad de afiliación: IEEE 52nd International Symposium on Microarchitecture (MICRO)
Fecha de inicio-fin: 2019 - 2019
- 23 Título del comité:** Comité de programa en conferencia internacional
Entidad de afiliación: 24th International European Conference on Parallel and Distributed Computing (EuroPar)
Fecha de inicio-fin: 2018 - 2018
- 24 Título del comité:** Comité de programa en conferencia internacional
Entidad de afiliación: IEEE 25th International Conference on High Performance Computing, Data, and Analytics (HiPC)
Fecha de inicio-fin: 2018 - 2018
- 25 Título del comité:** Comité de programa en conferencia internacional
Entidad de afiliación: IEEE/ACM 27th International Conference on Parallel Architectures and Compilation Techniques (PACT)
Fecha de inicio-fin: 2018 - 2018
- 26 Título del comité:** Comité de programa en workshop internacional
Entidad de afiliación: Chalmers University of Technology 11th Nordic Workshop on Multi-Core computing (MCC)
Fecha de inicio-fin: 2018 - 2018
- 27 Título del comité:** Comité de programa en conferencia internacional
Entidad de afiliación: IADIS IADIS International Conference on Applied Computing
Fecha de inicio-fin: 2017 - 2017
- 28 Título del comité:** Comité de programa en workshop internacional
Entidad de afiliación: Uppsala University 10th Nordic Workshop on Multi-Core computing (MCC)
Fecha de inicio-fin: 2017 - 2017
- 29 Título del comité:** Tribunal de Tesis Doctoral de Alexandra Ferrerón Labari
Entidad de afiliación: Universidad de Zaragoza Exploiting Natural On-Chip Redundancy for Energy Efficient Memory and Computing
Fecha de inicio-fin: 11/2016 - 11/2016



- 30 Título del comité:** Comité de programa en workshop internacional
Entidad de afiliación: IEEE 5th Workshop on Heterogeneous and Unconventional Cluster Architectures and Applications (HUCAA)
Fecha de inicio-fin: 2016 - 2016
- 31 Título del comité:** Comité de programa externo en conferencia internacional
Entidad de afiliación: IEEE/ACM 43rd International Symposium on Computer Architecture (ISCA)
Fecha de inicio-fin: 2016 - 2016
- 32 Título del comité:** Tribunal de Tesis Doctoral de Lluç Àlvarez Martí
Entidad de afiliación: Barcelona Supercomputer Center Transparent Management of Scratchpad Memories in Shared Memory Programming Models
Fecha de inicio-fin: 12/2015 - 12/2015
- 33 Título del comité:** Comité de programa en conferencia internacional
Entidad de afiliación: IADIS IADIS International Conference on Applied Computing
Fecha de inicio-fin: 2015 - 2015
- 34 Título del comité:** Comité de programa en conferencia internacional
Entidad de afiliación: IADIS IADIS International Conference on Applied Computing
Fecha de inicio-fin: 2014 - 2014
- 35 Título del comité:** Comité de programa externo en conferencia internacional
Entidad de afiliación: IEEE/ACM 23rd International Conference on Parallel Architectures and Compilation Techniques (PACT)
Fecha de inicio-fin: 2014 - 2014
- 36 Título del comité:** Comité de programa en conferencia internacional
Entidad de afiliación: IADIS IADIS International Conference on Applied Computing
Fecha de inicio-fin: 2013 - 2013
- 37 Título del comité:** Comité de programa en conferencia internacional
Entidad de afiliación: IEEE 42nd International Conference on Parallel Processing (ICPP)
Fecha de inicio-fin: 2013 - 2013
- 38 Título del comité:** Comité de programa en workshop internacional
Entidad de afiliación: LNCS 2nd International Workshop on On-chip Memory Hierarchies and Interconnects (OMHI)
Fecha de inicio-fin: 2013 - 2013
- 39 Título del comité:** Tribunal de Tesis Doctoral de José Luis Abellán Miguel
Entidad de afiliación: Universidad de Murcia Sincronización y Comunicación Eficientes en Arquitecturas Many-Core CMP
Fecha de inicio-fin: 09/2012 - 09/2012
- 40 Título del comité:** Comité de programa en conferencia internacional
Entidad de afiliación: IADIS IADIS International Conference on Applied Computing
Fecha de inicio-fin: 2012 - 2012



- 41 Título del comité:** Comité de programa en conferencia internacional
Entidad de afiliación: IADIS IADIS International Conference on Applied Computing
Fecha de inicio-fin: 2011 - 2011
- 42 Título del comité:** Comité de programa en conferencia internacional
Entidad de afiliación: IADIS IADIS International Conference on Applied Computing
Fecha de inicio-fin: 2010 - 2010
- 43 Título del comité:** Comité de programa en conferencia internacional
Entidad de afiliación: IADIS IADIS International Conference on Applied Computing
Fecha de inicio-fin: 2009 - 2009

Organización de actividades de I+D+i

Título de la actividad: UPMARC Workshop on Memory Models (MM'15)
Tipo de actividad: Workshop **Ámbito geográfico:** Internacional no UE
Entidad convocante: Uppsala University
Ciudad entidad convocante: Uppsala, Suecia
Fecha de inicio-fin: 23/02/2015 - 24/02/2015

Gestión de I+D+i

Nombre de la actividad: Journal of Parallel and Distributed Computing
Funciones desempeñadas: Editor asociado
Entidad de realización: Universidad de Murcia **Tipo de entidad:** Universidad
Fecha de inicio: 01/11/2019 **Duración:** 4 años - 5 meses

Otros méritos

Estancias en centros de I+D+i públicos o privados

- 1 Entidad de realización:** Department of Information Technology. Uppsala University
Ciudad entidad realización: Uppsala, Suecia
Fecha de inicio: 15/03/2020 **Duración:** 14 días
Nombre del programa: Atomicidad de escrituras en procesadores multinúcleo
Objetivos de la estancia: Posdoctoral
- 2 Entidad de realización:** Department of Information Technology. Uppsala University
Ciudad entidad realización: Uppsala, Suecia
Fecha de inicio: 02/05/2019 **Duración:** 63 días
Nombre del programa: Atomicidad de escrituras en procesadores multinúcleo
Objetivos de la estancia: Posdoctoral
- 3 Entidad de realización:** Department of Information Technology. Uppsala University
Ciudad entidad realización: Uppsala, Suecia
Fecha de inicio: 01/04/2019 **Duración:** 14 días
Nombre del programa: Atomicidad de escrituras en procesadores multinúcleo

**Objetivos de la estancia:** Posdoctoral

- 4** **Entidad de realización:** Department of Information Technology. Uppsala University
Ciudad entidad realización: Uppsala, Suecia
Fecha de inicio: 12/06/2018 **Duración:** 49 días
Nombre del programa: Atomicidad de escrituras en procesadores multinúcleo
Objetivos de la estancia: Posdoctoral
- 5** **Entidad de realización:** Department of Information Technology. Uppsala University
Ciudad entidad realización: Uppsala, Suecia
Fecha de inicio: 08/01/2018 **Duración:** 21 días
Nombre del programa: Eliminación de búsquedas en la cola de cargas
Objetivos de la estancia: Posdoctoral
- 6** **Entidad de realización:** Department of Information Technology. Uppsala University
Ciudad entidad realización: Uppsala, Suecia
Fecha de inicio: 30/10/2017 **Duración:** 49 días
Nombre del programa: Manejo eficiente de las escrituras en caché
Objetivos de la estancia: Posdoctoral
- 7** **Entidad de realización:** Department of Information Technology. Uppsala University
Ciudad entidad realización: Uppsala, Suecia
Fecha de inicio: 25/09/2017 **Duración:** 28 días
Nombre del programa: Manejo eficiente de las escrituras en caché
Objetivos de la estancia: Posdoctoral
- 8** **Entidad de realización:** Department of Information Technology. Uppsala University
Ciudad entidad realización: Uppsala, Suecia
Fecha de inicio: 01/09/2017 **Duración:** 7 días
Nombre del programa: Manejo eficiente de las escrituras en caché
Objetivos de la estancia: Posdoctoral
- 9** **Entidad de realización:** Department of Information Technology. Uppsala University
Ciudad entidad realización: Uppsala, Suecia
Fecha de inicio: 10/01/2017 **Duración:** 21 días
Nombre del programa: Diseño de soporte para retirada de instrucciones fuera de orden
Objetivos de la estancia: Posdoctoral
- 10** **Entidad de realización:** Department of Information Technology. Uppsala University
Ciudad entidad realización: Uppsala, Suecia
Fecha de inicio: 01/09/2016 **Duración:** 112 días
Nombre del programa: Diseño de soporte para retirada de instrucciones fuera de orden
Objetivos de la estancia: Posdoctoral
- 11** **Entidad de realización:** Department of Information Technology. Uppsala University
Ciudad entidad realización: Uppsala, Suecia
Fecha de inicio: 11/01/2016 **Duración:** 7 días
Nombre del programa: Estudio de protocolos de coherencia petición-respuesta
Objetivos de la estancia: Posdoctoral



- 12** **Entidad de realización:** Department of Information Technology. Uppsala University
Ciudad entidad realización: Uppsala, Suecia
Fecha de inicio: 01/09/2015 **Duración:** 112 días
Nombre del programa: Diseño de protocolos de coherencia petición-respuesta
Objetivos de la estancia: Posdoctoral
- 13** **Entidad de realización:** Department of Information Technology. Uppsala University
Ciudad entidad realización: Uppsala, Suecia
Fecha de inicio: 08/01/2015 **Duración:** 14 días
Nombre del programa: Estudio de mecanismos eficientes de sincronización
Objetivos de la estancia: Posdoctoral
- 14** **Entidad de realización:** Department of Information Technology. Uppsala University
Ciudad entidad realización: Uppsala, Suecia
Fecha de inicio: 22/09/2014 **Duración:** 119 días
Nombre del programa: Diseño de mecanismos eficientes de sincronización
Objetivos de la estancia: Posdoctoral
- 15** **Entidad de realización:** Department of Information Technology. Uppsala University
Ciudad entidad realización: Uppsala, Suecia
Fecha de inicio: 17/06/2014 **Duración:** 14 días
Nombre del programa: Estudio de modelos consistencia relajados
Objetivos de la estancia: Posdoctoral
- 16** **Entidad de realización:** Department of Information Technology. Uppsala University
Ciudad entidad realización: Uppsala, Suecia
Fecha de inicio: 01/05/2014 **Duración:** 7 días
Nombre del programa: Estudio de modelos de consistencia relajados
Objetivos de la estancia: Posdoctoral
- 17** **Entidad de realización:** Department of Information Technology. Uppsala University
Ciudad entidad realización: Uppsala, Suecia
Fecha de inicio: 10/01/2014 **Duración:** 21 días
Nombre del programa: Diseño de coherencia de caché basada en auto-invalidación
Objetivos de la estancia: Posdoctoral
- 18** **Entidad de realización:** Department of Information Technology. Uppsala University
Ciudad entidad realización: Uppsala, Suecia
Fecha de inicio: 07/10/2013 **Duración:** 70 días
Nombre del programa: Diseño de coherencia de caché basada en auto-invalidación
Objetivos de la estancia: Posdoctoral
- 19** **Entidad de realización:** Department of Information Technology. Uppsala University
Ciudad entidad realización: Uppsala, Suecia
Fecha de inicio: 30/05/2013 **Duración:** 7 días
Nombre del programa: Diseño de coherencia de caché basada en auto-invalidación
Objetivos de la estancia: Posdoctoral
- 20** **Entidad de realización:** Department of Information Technology. Uppsala University
Ciudad entidad realización: Uppsala, Suecia
Fecha de inicio: 15/01/2013 **Duración:** 14 días



Nombre del programa: Diseño de cachés virtuales en multicores

Objetivos de la estancia: Posdoctoral

21 Entidad de realización: Department of Information Technology. Uppsala University

Ciudad entidad realización: Uppsala, Suecia

Fecha de inicio: 01/10/2012

Duración: 77 días

Nombre del programa: Diseño de cachés virtuales en multicores

Objetivos de la estancia: Posdoctoral

22 Entidad de realización: Department of Information Technology. Uppsala University

Ciudad entidad realización: Uppsala, Suecia

Fecha de inicio: 15/08/2011

Duración: 168 días

Nombre del programa: Diseño de CMPs simples y escalables

Objetivos de la estancia: Posdoctoral

23 Entidad de realización: School of Informatics. The University of Edinburgh

Ciudad entidad realización: Edimburgo, Reino Unido

Fecha de inicio: 26/07/2009

Duración: 14 días

Nombre del programa: Estudio del impacto en las caches de los bits usados para su indexado

Objetivos de la estancia: Doctorado/a

24 Entidad de realización: School of Informatics. The University of Edinburgh

Ciudad entidad realización: Edimburgo, Reino Unido

Fecha de inicio: 01/07/2008

Duración: 126 días

Nombre del programa: Estudio del mapeo de bloques de memoria en caches NUCA (Non-Uniform Cache Access)

Objetivos de la estancia: Doctorado/a

Períodos de actividad investigadora

Nº de tramos reconocidos: 3

Entidad acreditante: Agencia Nacional de Evaluación de la Calidad y Acreditación

Fecha de obtención: 2022

Tipo de entidad: Organismo

Acreditaciones/reconocimientos obtenidos

Descripción: Catedrático de Universidad

Entidad acreditante: Agencia Nacional de Evaluación de la Calidad y Acreditación

Fecha del reconocimiento: 05/2019

Tipo de entidad: Aneca