

Implementación de la Transformada Wavelet Discreta 2-D con filtros no separables*

Ricardo José Colom[†], Rafael Gadea[†], Angel Sebastia[†], Marcos Martínez[†], Francisco Ballester[†], Vicente Herrero[†]

[†]Universidad Politécnica de Valencia. Departamento de Ingeniería Electrónica. Camino de Vera s/n 46022 Valencia.

Resumen

Este documento presenta la arquitectura y la implementación en una FPGA de la Transformada Wavelet Discreta en dos dimensiones. La arquitectura propuesta utiliza filtros no separables con procesamiento en paralelo, además utiliza unidades de control distribuidas que facilitan la escalabilidad. Para el cálculo de una imagen de $N \times N$ píxeles con filtros de longitud L necesita $N^2 + N$ ciclos de reloj y $6N$ elementos de almacenamiento.

Palabras clave: FPGA, Wavelet, VHDL, Vídeo.

1 Introducción

La Transformada Wavelet Discreta (DWT) está siendo muy utilizada en el campo del procesamiento de imágenes gracias a su flexibilidad en la representación de señales no estacionarias y sus buenas características de adaptabilidad a la visión humana. La DWT está relacionada con el análisis multiresolución y la descomposición en subbandas, lo cual se utiliza en el procesamiento de imágenes. Este método de transformación que fue desarrollado por Mallat [7], ofrece ortogonalidad y la posibilidad de representación tiempo-frecuencia. Muchas arquitecturas VLSI para el cálculo de la DWT 1-D han sido propuestas e implementadas. Sin embargo la DWT 2-D ha sido considerada una extensión de la DWT 1-D, lo cual dificulta el diseñar una arquitectura con un bajo coste en hardware.

Básicamente, la DWT 2-D se puede clasificar en separable y no separable. En un diseño separable, el proceso se divide en filas y columnas, procesándose cada uno de estos pasos con arquitectura DWT 1-D individualmente. Así Lewis y Knowles [8] proponen

* Trabajo financiado por el proyecto CICYT con la referencia TIC2000-1151-C07-05.

una arquitectura sencilla para el caso particular de la DWT de Daubechies, pero que no funciona eficientemente con otras wavelets. Vishwanath [1] construye dos cadenas de filtros sistólicos, dos filtros de computación paralela y una unidad de almacenamiento para calcular la transformada 2-D. Chakabarti [3] diseña una arquitectura con una estructura regular utilizando estructuras sistólicas en cadena. Una arquitectura VLSI paralela con pipeline para el cálculo de la DWT 2-D ha sido diseñada por Chuang y Chen [9]. Ming-Hwa [6] presenta una arquitectura VLSI con bajo coste de hardware y memoria para la DWT 2-D separable. En cuanto a los diseños no separables, Chakabarti [3] utiliza filtros paralelos con registros de desplazamiento para realizar un cálculo rápido de la DWT 2-D. Chu Yu [2] utiliza filtros con estructura sistólica paralela y gran cantidad de registros para procesar la DWT 2D.

En este artículo se diseña e implementa en una FPGA una arquitectura para el cálculo de la DWT 2-D, con filtros no separables. La arquitectura presentada utiliza filtros con estructura sistólica paralela, con unidades de control distribuido que permiten con facilidad incrementar el número de niveles (octavas) de la DWT.

Este artículo está organizado del siguiente modo: presenta una pequeña introducción de la transformada wavelet discreta en la sección 2. En la sección 3 se propone una nueva arquitectura para la implementación de la DWT 2-D. La sección 4 describe la implementación de la arquitectura propuesta en una FPGA sus características y las comparaciones con otras arquitecturas. Finalmente en la sección 5 se presentan las conclusiones.

2 La Transformada Wavelet Discreta

La Transformada Wavelet Discreta (DWT) descompone recurrentemente una señal de entrada, $S_0(n)$, en dos subseñales de menor resolución consideradas como aproximación y detalle. Las señales $S_i(n)$ y $W_i(n)$ son la aproximación y el detalle respectivamente de una señal en el nivel i . La aproximación de la señal en el nivel $i + 1$ se puede calcular como:

$$S_{i+1}(n) = \sum_k g(k)S_i(2n - k) \quad (1)$$

el detalle de la señal en el nivel $i + 1$ se puede calcular como:

$$W_{i+1}(n) = \sum_k h(k)S_i(2n - k) \quad (2)$$

Las ecuaciones (1) y (2) describen el proceso de cálculo de la DWT. Esta técnica de cálculo se conoce como algoritmo piramidal de Mallat [7]. En la Figura 1, se puede ver este algoritmo de cálculo para el caso de tres niveles.

Chakrabarti y Vishwanath [4] proponen una arquitectura VLSI para el cálculo de la DWT 2-D con filtros no separables utilizando una estructura de filtrado paralelo que mejora las desventajas de los filtros separables. El hardware de esta arquitectura incluye $2L^2$ multiplicadores programables, $2(L^2-1)$ sumadores, $2NL$ unidades de almacenamiento y una unidad de control, siendo L la longitud del filtro y N el número de filas de la imagen. La estructura de filtros paralelos utilizada modifica el algoritmo piramidal recurrente, para construir una arquitectura completa 2-D, que es capaz de procesar N^2 datos en paralelo. Así la arquitectura utiliza filtros no separables sin realizar transposición de filas y columnas en el cálculo de la DWT. Como resultado se reduce la cantidad de memoria necesaria y la latencia. Sin embargo esta arquitectura utiliza gran cantidad de hardware con un rutado muy complicado, por tanto este hardware tiene un coste muy elevado para la realización de una DWT 2-D con filtros no separables.

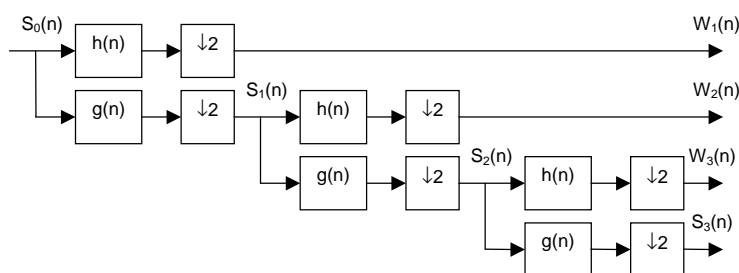


Figura 1. Diagrama de bloques del banco de filtros de análisis de la DWT.

3 Arquitectura propuesta para la DWT 2-D.

La arquitectura propuesta se muestra en la Figura 2. Se trata de una arquitectura recurrente en la que se utilizan dos unidades de filtrado para el cálculo de la DWT 2-D. La unidad de filtrado 1, realiza el cálculo del primer nivel de la DWT y esta continuamente procesando muestras. Mientras que la unidad de filtrado 2 se encarga del cálculo del resto de octavas o niveles, ya que tienen periodos de tiempo sin actividad, los cuales son aprovechados para realizar la recurrencia.

En esta arquitectura se utilizan dos unidades de almacenamiento, que actúan de enlace entre niveles u octavas. En estas unidades de almacenamiento únicamente se guardan seis filas del resultado de la DWT del nivel correspondiente. Las unidades de filtrado implementan un filtro 2-D no separable que utiliza una estructura paralelo denominada even-odd. La Figura 3 muestra el diagrama de bloques de esta estructura. En realidad se trata de dos filtros, de tal modo que el filtro even calcula el pixel par de la DWT (salida C),

mientras que el filtro odd calcula el pixel impar de la DWT (salida D). Las entradas A y B, además corresponden con los pixeles par e impar de la imagen, por tanto se procesan dos pixeles en paralelo.

La arquitectura propuesta utiliza unidades de control distribuidas. Básicamente está formada por dos unidades de control: la unidad de control S que se ubica en las unidades de filtrado y la unidad de control D que sirve para sincronizar el funcionamiento entre dos octavas consecutivas. La unidad de control D se comunica con la unidad de control S de dos niveles consecutivos, por tanto para incrementar el número de niveles hay que replicar el número de unidades control D y S. La Figura 2 muestra una estructura con tres niveles, tal como se observa tiene dos unidades de control D y tres unidades de control S. Las unidades de control S se distribuyen una en la unidad de filtrado 1 y dos en la unidad de filtrado 2, ya que esta unidad realiza el cálculo de dos niveles. Esta estructura tiene una latencia de 8 ciclos de reloj, un throughput de 4 ciclos y tarda $N^2+4N+12$ ciclos de reloj en calcular el DWT 2-D de tres niveles de una imagen de $N \times N$ pixeles.

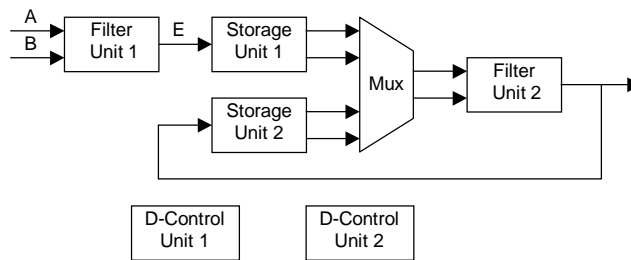


Figura 2. Diagrama de la arquitectura recurrente para la DWT 2-D de tres niveles

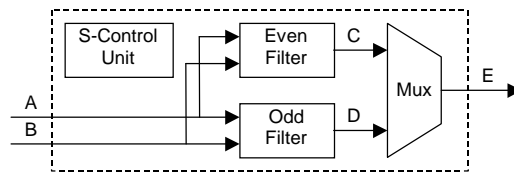


Figura 3. Estructura de la unidad de filtro 2-D paralelo even-odd

4 Implementación en FPGA

La arquitectura propuesta en la sección 3 se ha implementado en un FPGA XCV600E de Xilinx. Se ha realizado la implementación de la DWT 2-D con tres niveles, tal como se muestra en la Figura 2, utilizando los filtros CDF 3/1 que vienen dados por las ecuaciones (3). Todo diseño se ha realizado en VHDL, excepto las unidades de almacenamiento que se han implementado utilizando memorias de doble puerto de los cores de Xilinx (Block Select RAM de la familia Virtex). Estas memorias disponen de un puerto de escritura de un pixel y de un puerto de lectura que permite obtener dos pixeles almacenados en posiciones consecutivas de memoria. La unidad de almacenamiento 1 tiene un tamaño de $8N/2$ palabras y la unidad 2 de $8N/4$ palabras.

$$G(z) = \frac{\sqrt{2}}{4}(-z^{-1} + 3 + 3z - z^2); \quad G_s(z) = \frac{\sqrt{2}}{8}(z^{-1} + 3 + 3z + z^2) \quad (3)$$

Tamaño de la Imagen	512 × 512	Niveles de la DWT	3
Precisión datos entrada	8 bits	Dispositivo	XCV600E
Precisión datos Salida	14 bits	No. Slices	2568 (37 %)
Precisión datos interna	19 bits	No. Block RAM's	14 (19 %)
Coeficientes Filtros	Biortogonales No separable 4 × 4	Puertas Equivalentes	285114
PSNR	53 dB	Reloj	45 MHz

Tabla 1. Características del diseño implementado

Las características del diseño implementado en la FPGA se resumen en la Tabla 1. En la Tabla 2 se compara nuestra arquitectura con otras arquitecturas que implementan DWT 2-D.

Arquitectura	Nosotros	[1]	[2]	[3]	[6]	[5]
Entrada	Serie Paralelo	Paralelo	Paralelo	Paralelo	Paralelo	Paralelo
Tipo de Filtro	No separable	Separable	No separable	Separable	Separable	No separable
Vídeo en tiempo real	Sí	No	No		No	Sí
No. De *	8	16			10	
No. De + MACs	8	16	3	24	10	2048
Almacenamiento (byte)	3072	4096	3584	3968	896	7680
Frecuencia	45		55		25	50

Arquitectura	Nosotros	[1]	[2]	[3]	[6]	[5]
(MHz)						
Cálculo Ciclos \approx	N^2+N	N^2+N	N^2+N	N^2+N	N^2+N	

Tabla 2. Comparación entre arquitecturas 2-D

5 Conclusiones

En este artículo se presenta una arquitectura rápida y eficiente que calcula la DWT 2-D en una FPGA. La implementación de una arquitectura para la DWT 2-D con filtros no separables, en general, es muy complicada y por tanto no se encuentran excesivas implementaciones en FPGAs. Hemos presentado una arquitectura para la DWT recurrente paralela con filtros 2-D no separables, que utiliza unidades de control distribuidas, pocos elementos de almacenamiento y pequeña latencia y throughput. Además esta arquitectura, modular y escalable, permite con facilidad incrementar el número de niveles y el tamaño de los filtros y está implementada en una FPGA. Por último el diseño funciona en tiempo real pudiendo realizar procesamiento de vídeo digital.

Referencias

- [1] Mohan Vishwanath, Robert Michael Owens, and Mary Jane Irwin. "VLSI Architectures for the Discrete Wavelet Transform" IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, Vol. 42, No. 5. May 1995.
- [2] Chu Yu and Sao-Jie Chen. "VLSI Implementation of 2-D Discrete Wavelet Transform for Real-Time Video Signal Processing." IEEE transactions on consumer electronics, 1997, vol. 43, no. 4, p. 1270 -1279.
- [3] C. Chakrabarti, and C. Mumford. "Efficient Realizations of Encoders and Decoders Based on the 2-D Discrete Wavelet Transform" IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 7, No. 3, September 1999.
- [4] C. Chakrabarti, and M. Vishwanath. "Efficient Realizations of The Discrete and Continuous Wavelet Transform: From Single Chip Implementations to Mapping on SIMD Array Computers" IEEE Transactions Signal Processing, Vol. 43, No. 3, pp. 759-771, March. 1995.
- [5] Chien-Yu Chen, Zhong-Lan Yang, Tu-Chih Wang, and Liang-Gee Chen. "A Programmable VLSI Architecture for 2-D Discrete Wavelet Transform" IEEE, 2000.

- [6] Ming-Hwa Sheu, Ming-Der Shieh and Sheng-Wel Liu. "A VLSI Architecture Design With Lower Hardware Cost and Less Memory for separable 2-D Discrete Wavelet Transform" IEEE,1998.
- [7] S.G. Mallat. "Multifrequency Channal Decompositions of Images and Wavelet Models" IEEE Transactions on Acoustics, Speech, and Signal Processing, Vol. 37, No 12, pp. 2091-2110, December 1989.
- [8] A.S. Lewis y G. Knowles. "VLSI Architecture for 2-D Daubechies Wavelet Transform Without Multipliers" Electronics Letters, Vol. 27, No. 2, pp. 171-173, January 1991.
- [9] Henry Y. H. Chuang and Ling Chen. "VLSI Architecture for Fast 2-D discrete Orthonormal Wavelet Transform" Journal of VLSI Signal Processing, Vol. 10, No. 3, pp. 225-236, August 1995.