

Tablas familia MCS-51

(Atmel T89C51CC01)

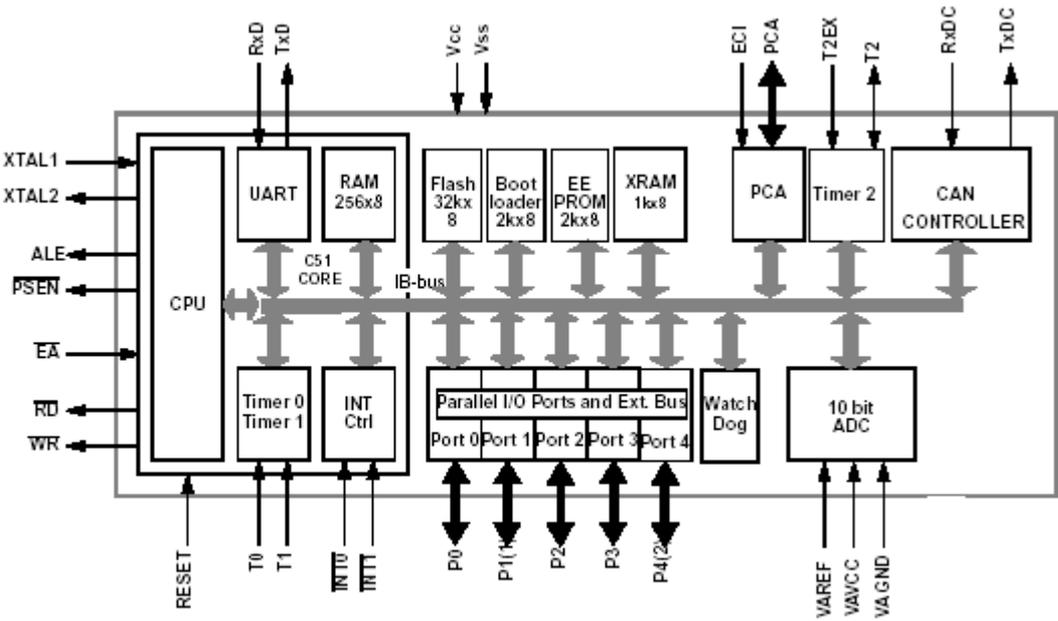
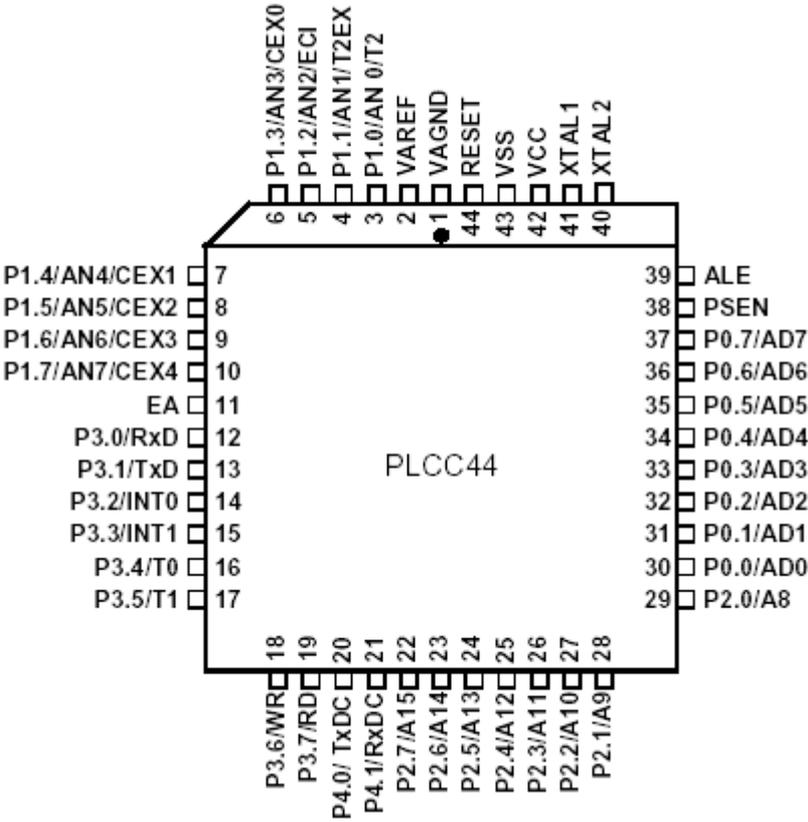
Informática Industrial

Ingeniería Técnica Industrial, esp. Electrónico
Departamento de Informática de Sistemas y Computadores - DISCA
Escuela Técnica Superior de Ingeniería del Diseño

Contenido

1. ENCAPSULADO ATMEL T89C51CC01.....	3
2. AREAS DE MEMORIA.....	4
2.1 MAPA GENERAL.....	4
2.2 PRIMEROS 128 BYTES DIRECTOS/INDIRECTOS.....	4
2.3 REGISTROS DE FUNCIÓN ESPECIAL (SFR).....	5
3. JUEGO DE INSTRUCCIONES.....	8
3.1 INSTRUCCIONES ARITMÉTICAS.....	8
3.2 INSTRUCCIONES LÓGICAS.....	9
3.3 INSTRUCCIONES DE TRANSFERENCIA DE DATOS.....	9
3.4 INSTRUCCIONES BOLEANAS.....	10
3.5 INSTRUCCIONES DE LLAMADA, RETORNO Y SALTO.....	10
4. INTERRUPCIONES.....	11
4.1 ESQUEMA.....	11
4.2 HABILITACIÓN/DESHABILITACIÓN.....	12
4.3 VECTORES.....	13
4.4 PRIORIDADES.....	14
4.5 INTERRUPCIONES EXTERNAS INT0 E INT1.....	17
5. CONTADORES/TEMPORIZADORES.....	18
6. CONVERTOR A/D.....	20

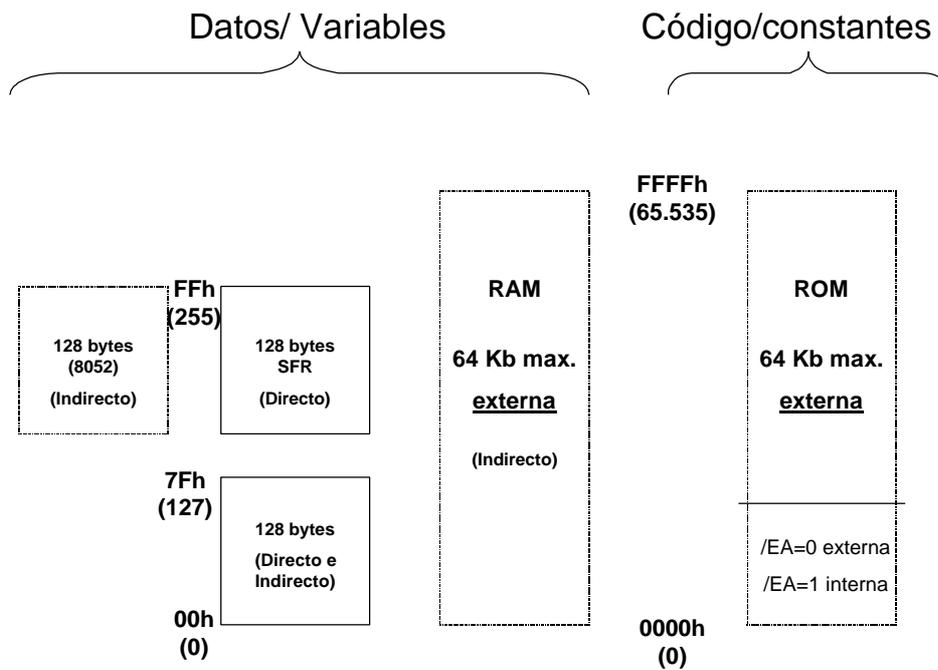
1. Encapsulado Atmel T89C51CC01



- Notes:
1. 8 analog Inputs/8 Digital I/O
 2. 2-Bit I/O Port

2. Areas de memoria

2.1 Mapa general



2.2 Primeros 128 bytes directos/indirectos

Dir	Mapa de la zona de direccionamiento directo/indirecto								Dir
78									7F
30									2F
28									27
20									1F
18	R0'''	R1'''	R2'''	R3'''	R4'''	R5'''	R6'''	R7'''	17
10	R0''	R1''	R2''	R3''	R4''	R5''	R6''	R7''	0F
08	R0'	R1'	R2'	R3'	R4'	R5'	R6'	R7'	07
00	R0	R1	R2	R3	R4	R5	R6	R7	07

Manejables bit a bit
 R0 a R7 banco de registros 0 R0' a R7' banco de registros 1
 R0'' a R7'' banco de registros 2 R0''' a R7''' banco de registros 2

Interrupt SFRs

Mnemonic	Add	Name	7	6	5	4	3	2	1	0
IEN0	A8h	Interrupt Enable Control 0	EA	EC	ET2	ES	ET1	EX1	ET0	EX0
IEN1	E8h	Interrupt Enable Control 1	-	-	-	-	-	ETIM	EADC	ECAN
IPL0	B8h	Interrupt Priority Control Low 0	-	PPC	PT2	PS	PT1	PX1	PT0	PX0
IPH0	B7h	Interrupt Priority Control High 0	-	PPCH	PT2H	PSH	PT1H	PX1H	PT0H	PX0H
IPL1	F8h	Interrupt Priority Control Low 1	-	-	-	-	-	POVRL	PADCL	PCANL
IPH1	F7h	Interrupt Priority Control High1	-	-	-	-	-	POVRH	PADCH	PCANH

Timers SFRs

Mnemonic	Add	Name	7	6	5	4	3	2	1	0
TH0	8Ch	Timer/Counter 0 High byte	-	-	-	-	-	-	-	-
TL0	8Ah	Timer/Counter 0 Low byte	-	-	-	-	-	-	-	-
TH1	8Dh	Timer/Counter 1 High byte	-	-	-	-	-	-	-	-
TL1	8Bh	Timer/Counter 1 Low byte	-	-	-	-	-	-	-	-
TH2	CDh	Timer/Counter 2 High byte	-	-	-	-	-	-	-	-
TL2	CCh	Timer/Counter 2 Low byte	-	-	-	-	-	-	-	-
TCON	88h	Timer/Counter 0 and 1 control	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
TMOD	89h	Timer/Counter 0 and 1 Modes	GATE1	C/T1#	M11	M01	GATE0	C/T0#	M10	M00
T2CON	C8h	Timer/Counter 2 control	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2#	CP/RL2#
T2MOD	C9h	Timer/Counter 2 Mode	-	-	-	-	-	-	T2OE	DCEN
RCAP2H	CBh	Timer/Counter 2 Reload/Capture High byte	-	-	-	-	-	-	-	-
RCAP2L	CAh	Timer/Counter 2 Reload/Capture Low byte	-	-	-	-	-	-	-	-
WDTRST	A6h	Watchdog Timer Reset	-	-	-	-	-	-	-	-
WDTPRG	A7h	Watchdog Timer Program	-	-	-	-	-	S2	S1	S0

PCA SFRs

Mnemonic	Add	Name	7	6	5	4	3	2	1	0
CCON	D8h	PCA Timer/Counter Control	CF	CR	–	CCF4	CCF3	CCF2	CCF1	CCF0
CMOD	D9h	PCA Timer/Counter Mode	CIDL	WDTE	–	–	–	CPS1	CPS0	ECF
CL	E9h	PCA Timer/Counter Low byte	–	–	–	–	–	–	–	–
CH	F9h	PCA Timer/Counter High byte	–	–	–	–	–	–	–	–
CCAPM0	DAh	PCA Timer/Counter Mode 0		ECOM0	CAPP0	CAPN0	MAT0	TOG0	PWM0	ECCF0
CCAPM1	DBh	PCA Timer/Counter Mode 1		ECOM1	CAPP1	CAPN1	MAT1	TOG1	PWM1	ECCF1
CCAPM2	DCh	PCA Timer/Counter Mode 2	–	ECOM2	CAPP2	CAPN2	MAT2	TOG2	PWM2	ECCF2
CCAPM3	DDh	PCA Timer/Counter Mode 3		ECOM3	CAPP3	CAPN3	MAT3	TOG3	PWM3	ECCF3
CCAPM4	DEh	PCA Timer/Counter Mode 4		ECOM4	CAPP4	CAPN4	MAT4	TOG4	PWM4	ECCF4
CCAP0H	FAh	PCA Compare Capture Module 0 H	CCAP0H7	CCAP0H6	CCAP0H5	CCAP0H4	CCAP0H3	CCAP0H2	CCAP0H1	CCAP0H0
CCAP1H	FBh	PCA Compare Capture Module 1 H	CCAP1H7	CCAP1H6	CCAP1H5	CCAP1H4	CCAP1H3	CCAP1H2	CCAP1H1	CCAP1H0
CCAP2H	FCh	PCA Compare Capture Module 2 H	CCAP2H7	CCAP2H6	CCAP2H5	CCAP2H4	CCAP2H3	CCAP2H2	CCAP2H1	CCAP2H0
CCAP3H	FDh	PCA Compare Capture Module 3 H	CCAP3H7	CCAP3H6	CCAP3H5	CCAP3H4	CCAP3H3	CCAP3H2	CCAP3H1	CCAP3H0
CCAP4H	FEh	PCA Compare Capture Module 4 H	CCAP4H7	CCAP4H6	CCAP4H5	CCAP4H4	CCAP4H3	CCAP4H2	CCAP4H1	CCAP4H0
CCAP0L	EAh	PCA Compare Capture Module 0 L	CCAP0L7	CCAP0L6	CCAP0L5	CCAP0L4	CCAP0L3	CCAP0L2	CCAP0L1	CCAP0L0
CCAP1L	EBh	PCA Compare Capture Module 1 L	CCAP1L7	CCAP1L6	CCAP1L5	CCAP1L4	CCAP1L3	CCAP1L2	CCAP1L1	CCAP1L0
CCAP2L	ECh	PCA Compare Capture Module 2 L	CCAP2L7	CCAP2L6	CCAP2L5	CCAP2L4	CCAP2L3	CCAP2L2	CCAP2L1	CCAP2L0
CCAP3L	EDh	PCA Compare Capture Module 3 L	CCAP3L7	CCAP3L6	CCAP3L5	CCAP3L4	CCAP3L3	CCAP3L2	CCAP3L1	CCAP3L0
CCAP4L	EEh	PCA Compare Capture Module 4 L	CCAP4L7	CCAP4L6	CCAP4L5	CCAP4L4	CCAP4L3	CCAP4L2	CCAP4L1	CCAP4L0

Serial I/O Port SFRs

Mnemonic	Add	Name	7	6	5	4	3	2	1	0
SCON	98h	Serial Control	FE/SM0	SM1	SM2	REN	TB8	RB8	TI	RI
SBUF	99h	Serial Data Buffer	–	–	–	–	–	–	–	–
SADEN	B9h	Slave Address Mask	–	–	–	–	–	–	–	–
SADDR	A9h	Slave Address	–	–	–	–	–	–	–	–

. ADC SFRs

Mnemonic	Add	Name	7	6	5	4	3	2	1	0
ADCON	F3h	ADC Control	–	PSIDLE	ADEN	ADEOC	ADSST	SCH2	SCH1	SCH0
ADCF	F6h	ADC Configuration	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
ADCLK	F2h	ADC Clock	–	–	–	PRS4	PRS3	PRS2	PRS1	PRS0
ADDH	F5h	ADC Data High byte	ADAT9	ADAT8	ADAT7	ADAT6	ADAT5	ADAT4	ADAT3	ADAT2
ADDL	F4h	ADC Data Low byte	–	–	–	–	–	–	ADAT1	ADAT0

Other SFRs

Mnemonic	Add	Name	7	6	5	4	3	2	1	0
PCON	87h	Power Control	SMOD1	SMOD0	–	POF	GF1	GF0	PD	IDL
AUXR	8Eh	Auxiliary Register 0	–	–	M0	–	XRS1	XRS2	EXTRAM	A0
AUXR1	A2h	Auxiliary Register 1	–	–	ENBOOT	–	GF3	0	–	DPS
CKCON	8Fh	Clock Control	CANX2	WDX2	PCAX2	SIX2	T2X2	T1X2	T0X2	X2
FCON	D1h	Flash Control	FPL3	FPL2	FPL1	FPL0	FPS	FMOD1	FMOD0	FBUSY
EECON	D2h	EEPROM Control	EEPL3	EEPL2	EEPL1	EEPL0	–	–	EEE	EEBUSY

3. Juego de instrucciones

SINTAXIS.

Rn:	Representa uno de los ocho registros universales. El índice n puede tomar uno de los valores comprendidos entre 0 y 7.
Ri :	Representa uno de los registros R0 o R1 para un direccionamiento indirecto en el que el registro es utilizado como puntero.
orig. byte :	Operando origen de tamaño byte.
dest. byte :	Operando destino de tamaño byte.
orig. bit :	Operando de tamaño bit.
dest. bit :	Operando destino de tamaño bit.
dir 16 :	Dirección de 16 bits.
dir 11 :	Dirección de 11 bits. La dirección se complementa con los 5 bits más altos del contador de programa.
dir :	Dirección de 8 bit.
# dato :	Constante o dato de 8 bits con direccionamiento inmediato.
rel :	Byte que representa un salto relativo con signo.
directo :	Representa una dirección directa de 8 bits.

Nota : Se habla indistintamente del acumulador, ACC o simplemente A.

3.1 Instrucciones aritméticas

Instrucción	Descripción	Codificación	Bytes	Ciclos
ADD A,Rn	Suma registro más acumulador	0010 1 r r r	1	1
ADD A,directo	Suma directo más acumulador	0010 0101	2	1
ADD A,@Ri	Suma RAM indirecta más acumulador	0010 011 i	1	1
ADD A,#dato	Suma dato inmediato más acumulador	0010 0100	2	1
ADDC A,Rn	Suma registro más acumulador más acarreo	0011 1 r r r	1	1
ADDC A,directo	Suma directo más acumulador más acarreo	0011 0101	2	1
ADDC A,@Ri	Suma RAM indirecta más ACC más acarreo	0011 011 i	1	1
ADDC A,#dato	Suma dato inmediato más ACC más acarreo	0011 0100	2	1
SUBB A,Rn	Resta acumulador menos registro	1001 1 r r r	1	1
SUBB A,directo	Resta acumulador menos directo	1001 0101	2	1
SUBB A,@Ri	Resta RAM indirecta menos acumulador	1001 011 i	1	1
SUBB A,#dato	Resta acumulador menos dato inmediato	1001 0100	2	1
INC A	Incrementa acumulador	0000 0100	1	1
INC Rn	Incrementa registro	0000 1 r r r	1	1
INC directo	Incrementa byte directo	0000 0101	2	1
INC @Ri	Incrementa RAM indirecta	0000 011 i	1	1
DEC A	Decrementa acumulador	0001 0100	1	1
DEC Rn	Decrementa registro	0001 1 r r r	1	1
DEC directo	Decrementa byte directo	0001 0101	2	1
DEC @Ri	Decrementa RAM indirecta	0001 011 i	1	1
INC DPTR	Incrementa puntero datos	1010 0011	1	2
MUL AB	Multiplica A y B (registros)	1010 0100	1	4
DIV AB	Divide A por B (registros)	1000 0100	1	4
DA A	Ajuste decimal del acumulador	1101 0100	1	1

3.2 Instrucciones lógicas

Instrucción	Descripción	Codificación			Bytes	Ciclos
ANL A,Rn	AND lógica registro y acumulador	0101 1 r r r			1	1
ANL A,directo	AND lógica directo y acumulador	0101 0101	dirección directa		2	1
ANL A,@Ri	AND lógica RAM indirecta y acumulador	0101 011 i			1	1
ANL A,#dato	AND lógica dato inmediato y acumulador	0101 0100	dato inmediato		2	1
ANL directo,A	AND lógica acumulador y directo	0101 0010	dirección directa		2	1
ANL directo,#dato	AND lógica dato inmediato y directo	0101 0011	dirección directa	dato inmediato	3	2
ORL A,Rn	OR lógica registro y acumulador	0100 1 r r r			1	1
ORL A,directo	OR lógica directo y acumulador	0100 0101	dirección directa		2	1
ORL A,@Ri	OR lógica RAM indirecta y acumulador	0101 011 i			1	1
ORL A,#dato	OR lógica dato inmediato y acumulador	0100 0100	dato inmediato		2	1
ORL directo,A	OR lógica acumulador y directo	0100 0010	dirección directa		2	1
ORL directo,#dato	OR lógica dato inmediato y directo	0100 0011	dirección directa	dato inmediato	3	2
XRL A,Rn	XOR lógica registro y acumulador	0110 1 r r r			1	1
XRL A,directo	XOR lógica directo y acumulador	0110 0101	dirección directa		2	1
XRL A,@Ri	XOR lógica RAM indirecta y acumulador	0110 011 i			1	1
XRL A,#dato	XOR lógica dato inmediato y acumulador	0110 0100	dato inmediato		2	1
XRL directo,A	XOR lógica acumulador y directo	0110 0010	dirección directa		2	1
XRL directo,#dato	XOR lógica dato inmediato y directo	0110 0011	dirección directa	dato inmediato	3	2
CLR A	Pone acumulador a 0	1110 0100			1	1
CPL A	Complementa acumulador	1111 0100			1	1
RL A	Rota acumulador izquierda	0010 0011			1	1
RLC A	Rota acumulador izquierda con acarreo	0011 0011			1	1
RR A	Rota acumulador derecha	0000 0011			1	1
RRC A	Rota acumulador derecha con acumulador	0001 0011			1	1
SWAP A	Intercambia niveles del acumulador	1100 0100			1	1

3.3 Instrucciones de transferencia de datos

Instrucción	Descripción	Codificación			Bytes	Ciclos
MOV A,Rn	Transfiere registro a acumulador	1110 1 r r r			1	1
MOV A,directo	Transfiere directo a acumulador	1110 0101	dirección directa		2	1
MOV A,@Ri	Transfiere RAM indirecta a acumulador	1110 011 i			1	1
MOV A,#dato	Transfiere dato inmediato a acumulador	0111 0100	dato inmediato		2	1
MOV Rn,A	Transfiere acumulador a registro	1111 1 r r r			1	1
MOV Rn,directo	Transfiere directo a registro	1010 1 r r r	dirección directa		2	2
MOV Rn,#dato	Transfiere dato inmediato a registro	0111 1 r r r	dato inmediato		2	1
MOV directo,A	Transfiere acumulador a directo	1111 0101	dirección directa		2	1
MOV directo,Rn	Transfiere registro a directo	1000 1 r r r	dirección directa		2	2
MOV directo,directo	Transfiere directo a directo	1000 0101	dir. directa (src)	dir. directa (dest)	3	2
MOV directo,@Ri	Transfiere RAM indirecta a directo	1000 011 i	dirección directa		2	2
MOV directo,#dato	Transfiere dato inmediato a directo	0111 0101	dirección directa	dato inmediato	3	2
MOV @Ri,A	Transfiere acumulador a RAM indirecta	1111 011 i			1	1
MOV @Ri,directo	Trasfiere directo a RAM indirecta	1010 011 i	dirección directa		2	2
MOV @Ri,#dato	Transfiere dato inmediato a RAM indirecta	0111 011 i	dato inmediato		2	1
MOV DPTR,#dato16	Carga DPTR con dato 16 bits	1001 0000	dato inmed. 15..8	dato inmed. 7..0	3	2
MOVC A,@A+DPTR	Transfiere código al acumulador	1001 0011			1	2
MOVC A,@A+PC	Transfiere código al acumulador	1000 0011			1	2
MOVX A,@Ri	Transfiere RAM externa (8 bits) a ACC	1110 001 i			1	2
MOVX A,@DPTR	Transfiere RAM externa (16 bits) a ACC	1110 0000			1	2
MOVX @Ri,A	Transfiere ACC a RAM externa (8 bits)	1111 001 i			1	2
MOVX @DPTR,A	Transfiere ACC a RAM externa (16 bits)	1111 0000			1	2

PUSH directo	Guarda directo en pila (stack)	1100 0000	dirección directa		2	2
POP directo	Recupera directo en pila (stack)	1101 0000	dirección directa		2	2
XCH A,Rn	Intercambia registro con acumulador	1100 1 r r r			1	1
XCH A,directo	Intercambia directo con acumulador	1100 0101	dirección directa		2	1
XCH A,@Ri	Intercambia RAM indirecta con acumulador	1100 011 i			1	1
XCHD A,@Ri	Intercambia nivel bajo RAM indirecta con ACC	1101 011 i			1	1

3.4 Instrucciones booleanas

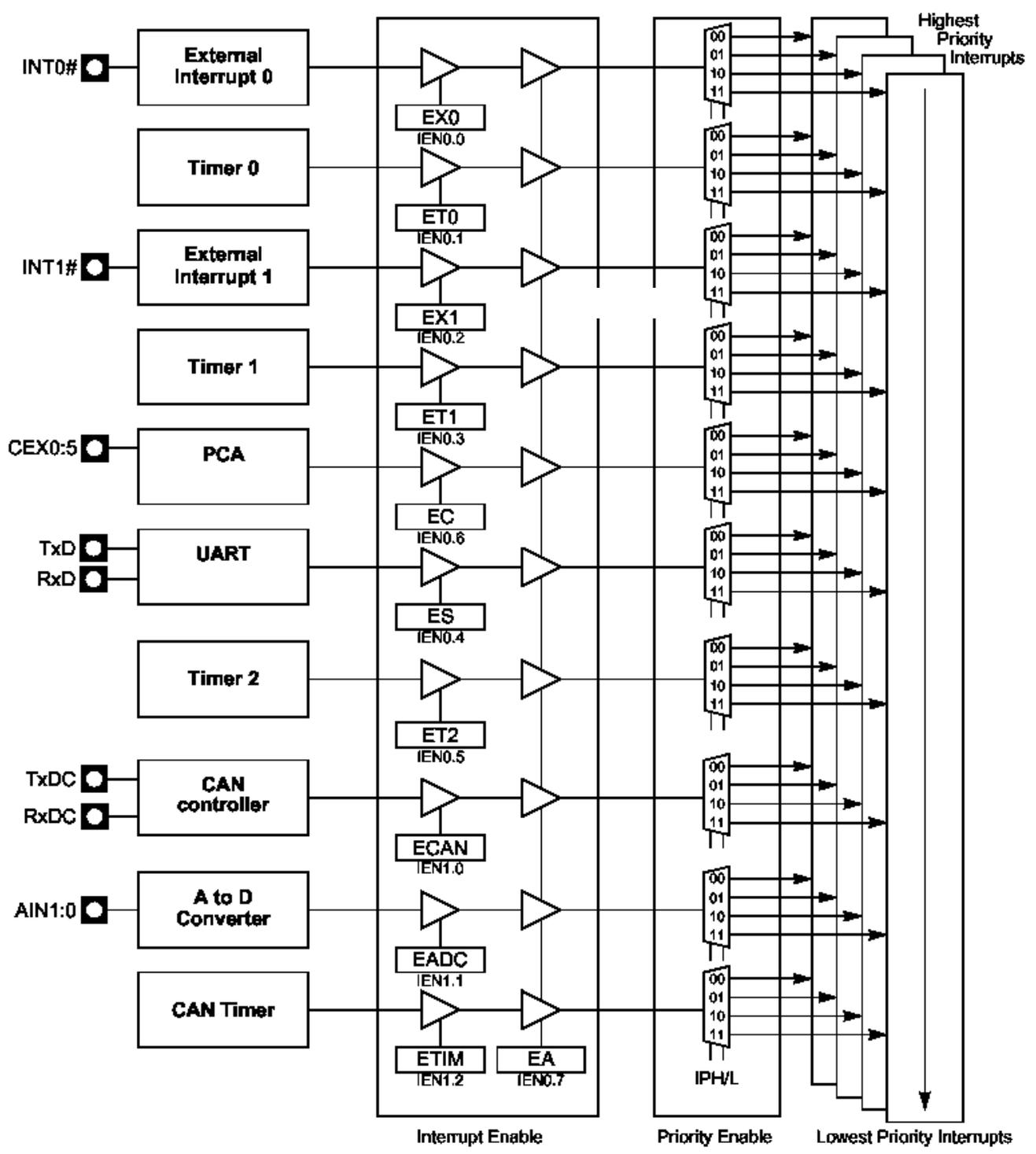
Instrucción	Descripción	Codificación		Bytes	Ciclos	
CLR C	Pone el bit de acarreo a cero	1100 0011		1	1	
CLR bit	Pone el bit directo a cero	1100 0010	dirección bit	2	1	
SETB C	Pone el flag de acarreo a uno	1101 0011		1	1	
SETB bit	Pone el bit directo a uno	1101 0010	dirección bit	2	1	
CPL C	Complementa el bit de acarreo	1011 0011		1	1	
CPL bit	Complementa el bit directo	1011 0010	dirección bit	2	1	
ANL C,bit	AND lógica del bit con bit de acarreo	1000 0010	dirección bit	2	2	
ANL C,/bit	AND lógica complemento bit con bit acarreo	1011 0000	dirección bit	2	2	
ORL C,bit	OR lógica del bit con bit de acarreo	0111 0010	dirección bit	2	2	
ORL C,/bit	OR lógica complemento bit con bit de acarreo	1010 0000	dirección bit	2	2	
MOV C,bit	Transfiere bit directo a bit acarreo	1010 0010	dirección bit	2	1	
MOV bit,C	Transfiere bit acarreo a bit directo	1001 0010	dirección bit	2	2	
JC rel	Salta si el acarreo es uno	0100 0000	dirección bit	2	2	
JNC rel	No salta si el acarreo no es uno	0101 0000	dirección bit	2	2	
JB bit,rel	Salta si el bit directo es uno	0010 0000	dirección bit	dirección rel.	3	2
JNB bit,rel	Salta si el bit directo no es uno	0011 0000	dirección bit	dirección rel.	3	2
JBC bit,rel	Salta si el bit directo es uno y pone el bit a cero	0001 0000	dirección bit	dirección rel.	3	2

3.5 Instrucciones de llamada, retorno y salto.

Instrucción	Descripción	Codificación			Bytes	Ciclos
ACALL dir11	Llamada absoluta subrutina	a10 a9 a8 1 0001	a7 a6 a5 a4	a3 a2 a1 a0	2	2
LCALL dir16	Llamada larga subrutina	0001 0010	addr15 - addr8	addr7 - addr0	3	2
RET	Retorno de subrutina	0010 0010			1	2
RETI	Retorno de interrupción	0011 0010			1	2
AJMP dir11	Salto absoluto	a10 a9 a8 0 0001	a7 a6 a5 a4	a3 a2 a1 a0	2	2
LJMP dir16	Salto largo	0000 0010	addr15 - addr8	addr7 - addr0	3	2
SJMP rel	Salto corto (dirección relativa)	1000 0000	dirección rel.		2	2
JMP @A+DPTR	Salto indirecto relativo a DPTR	0111 0011			1	2
JZ rel	Salto si el acumulador es cero	0110 0000	dirección rel.		2	2
JNZ rel	Salto si el acumulador no es cero	0111 00000	dirección rel.		2	2
CJNE A,directo,rel	Compara directo con ACC y salta si no es igual	1011 0101	dirección directa	dirección rel.	3	2
CJNE A,#DATO,rel	Compara dato inmediato con ACC y salta si no es igual	1011 0100	dato inmediato	dirección rel.	3	2
CJNE Rn,#dato,rel	Compara dato inmediato con registro y salta si no es igual	1011 1 r r r	dato inmediato	dirección rel.	3	2
CJNE @Ri,#dato,rel	Compara dato inmediato con RAM indirecta y salta si no es igual	1011 011 i	dato inmediato	dirección rel.	3	2
DJNZ Rn,rel	Decrementa registro y salta si no es cero	1101 1 r r r	dirección rel.		2	2
DJNZ directo,rel	Decrementa dirección y salta si no es cero	1101 0101	dirección directa	dirección rel.	3	2
NOP	No operación	0000 0000			1	1

4. Interrupciones

4.1 Esquema



4.2 Habilitación/deshabilitación

IEN0 (S:A8h)

Interrupt Enable Register

7	6	5	4	3	2	1	0
EA	EC	ET2	ES	ET1	EX1	ET0	EX0
Bit Number	Bit Mnemonic	Description					
7	EA	Enable All Interrupt bit Clear to disable all interrupts. Set to enable all interrupts. If EA=1, each interrupt source is individually enabled or disabled by setting or clearing its interrupt enable bit.					
6	EC	PCA Interrupt Enable Clear to disable the PCA interrupt. Set to enable the PCA interrupt.					
5	ET2	Timer 2 Overflow Interrupt Enable bit Clear to disable Timer 2 overflow interrupt. Set to enable Timer 2 overflow interrupt.					
4	ES	Serial Port Enable bit Clear to disable serial port interrupt. Set to enable serial port interrupt.					
3	ET1	Timer 1 Overflow Interrupt Enable bit Clear to disable timer 1 overflow interrupt. Set to enable timer 1 overflow interrupt.					
2	EX1	External Interrupt 1 Enable bit Clear to disable external interrupt 1. Set to enable external interrupt 1.					
1	ET0	Timer 0 Overflow Interrupt Enable bit Clear to disable timer 0 overflow interrupt. Set to enable timer 0 overflow interrupt.					
0	EX0	External Interrupt 0 Enable bit Clear to disable external interrupt 0. Set to enable external interrupt 0.					

Reset Value = 0000 0000b

bit addressable

IEN1 (S:E8h)
Interrupt Enable Register

7	6	5	4	3	2	1	0
-	-	-	-	-	ETIM	EADC	ECAN
Bit Number	Bit Mnemonic	Description					
7	-	Reserved The value read from this bit is indeterminate. Do not set this bit.					
6	-	Reserved The value read from this bit is indeterminate. Do not set this bit.					
5	-	Reserved The value read from this bit is indeterminate. Do not set this bit.					
4	-	Reserved The value read from this bit is indeterminate. Do not set this bit.					
3	-	Reserved The value read from this bit is indeterminate. Do not set this bit.					
2	ETIM	Timer Overrun Interrupt Enable bit Clear to disable the timer overrun interrupt. Set to enable the timer overrun interrupt.					
1	EADC	ADC Interrupt Enable bit Clear to disable the ADC interrupt. Set to enable the ADC interrupt.					
0	ECAN	CAN Interrupt Enable bit Clear to disable the CAN interrupt. Set to enable the CAN interrupt.					

Reset Value = xxxx x000b
bit addressable

4.3 Vectores

Nombre interrupción	Dirección del vector	Numero Keil C	Prioridad de la encuesta
Int. externa INTO	0003h	0	1
Timer 0	000Bh	1	2
Int. externa INT1	0013h	2	3
Timer 1	001Bh	3	4
PCA	0033h	6	5
UART	0023h	4	6
Timer 2	002Bh	5	7
CAN	003Bh	7	8
ADC	0043h	8	9
CAN desborde temp.	004Bh	9	10

4.4 Prioridades

Priority Level Bit Values

IPH.x	IPL.x	Interrupt Level Priority
0	0	0 (Lowest)
0	1	1
1	0	2
1	1	3 (Highest)

IPL0 (S:B8h)
Interrupt Enable Register

7	6	5	4	3	2	1	0
-	PPC	PT2	PS	PT1	PX1	PT0	PX0
Bit Number	Bit Mnemonic	Description					
7	-	Reserved The value read from this bit is indeterminate. Do not set this bit.					
6	PPC	PCA Interrupt Priority bit Refer to PPCH for priority level.					
5	PT2	Timer 2 Overflow Interrupt Priority bit Refer to PT2H for priority level.					
4	PS	Serial Port Priority bit Refer to PSH for priority level.					
3	PT1	Timer 1 Overflow Interrupt Priority bit Refer to PT1H for priority level.					
2	PX1	External Interrupt 1 Priority bit Refer to PX1H for priority level.					
1	PT0	Timer 0 Overflow Interrupt Priority bit Refer to PT0H for priority level.					
0	PX0	External Interrupt 0 Priority bit Refer to PX0H for priority level.					

Reset Value = X000 0000b
bit addressable

IPL1 (S:F8h)

Interrupt Priority Low Register 1

7	6	5	4	3	2	1	0
-	-	-	-		POVRL	PADCL	PCANL
Bit Number	Bit Mnemonic	Description					
7	-	Reserved The value read from this bit is indeterminate. Do not set this bit.					
6	-	Reserved The value read from this bit is indeterminate. Do not set this bit.					
5	-	Reserved The value read from this bit is indeterminate. Do not set this bit.					
4	-	Reserved The value read from this bit is indeterminate. Do not set this bit.					
3	-	Reserved The value read from this bit is indeterminate. Do not set this bit.					
2	POVRL	Timer Overrun Interrupt Priority Level Less Significant Bit Refer to PI2CH for priority level.					
1	PADCL	ADC Interrupt Priority Level Less Significant Bit Refer to PSPIH for priority level.					
0	PCANL	CAN Interrupt Priority Level Less Significant Bit Refer to PKBH for priority level.					

Reset Value = XXXX X000b

bit addressable

IPH0 (B7h)
Interrupt High Priority Register

7	6	5	4	3	2	1	0
-	PPCH	PT2H	PSH	PT1H	PX1H	PT0H	PX0H
Bit Number	Bit Mnemonic	Description					
7	-	Reserved The value read from this bit is indeterminate. Do not set this bit.					
6	PPCH	PCA Interrupt Priority Level Most Significant bit <u>PPCH</u> <u>PPC</u> <u>Priority Level</u> 0 0 Lowest 0 1 1 0 1 1 Highest priority					
5	PT2H	Timer 2 Overflow Interrupt High Priority bit <u>PT2H</u> <u>PT2</u> <u>Priority Level</u> 0 0 Lowest 0 1 1 0 1 1 Highest					
4	PSH	Serial Port High Priority bit <u>PSH</u> <u>PS</u> <u>Priority Level</u> 0 0 Lowest 0 1 1 0 1 1 Highest					
3	PT1H	Timer 1 Overflow Interrupt High Priority bit <u>PT1H</u> <u>PT1</u> <u>Priority Level</u> 0 0 Lowest 0 1 1 0 1 1 Highest					
2	PX1H	External Interrupt 1 High Priority bit <u>PX1H</u> <u>PX1</u> <u>Priority Level</u> 0 0 Lowest 0 1 1 0 1 1 Highest					
1	PT0H	Timer 0 Overflow Interrupt High Priority bit <u>PT0H</u> <u>PT0</u> <u>Priority Level</u> 0 0 Lowest 0 1 1 0 1 1 Highest					
0	PX0H	External Interrupt 0 high priority bit <u>PX0H</u> <u>PX0</u> <u>Priority Level</u> 0 0 Lowest 0 1 1 0 1 1 Highest					

Reset Value = X000 0000b

IPH1 (S:F7h)
Interrupt High Priority Register 1

7	6	5	4	3	2	1	0
-	-	-	-		POVRH	PADCH	PCANH

Bit Number	Bit Mnemonic	Description
7	-	Reserved The value read from this bit is indeterminate. Do not set this bit.
6	-	Reserved The value read from this bit is indeterminate. Do not set this bit.
5	-	Reserved The value read from this bit is indeterminate. Do not set this bit.
4	-	Reserved The value read from this bit is indeterminate. Do not set this bit.
3	-	Reserved The value read from this bit is indeterminate. Do not set this bit.
2	POVRH	Timer overrun Interrupt Priority Level Most Significant bit <u>POVRH POVRL Priority level</u> 0 0 Lowest 0 1 1 0 1 1 Highest
1	PADCH	ADC Interrupt Priority Level Most Significant bit <u>PADCH PADCL Priority level</u> 0 0 Lowest 0 1 1 0 1 1 Highest
0	PCANH	CAN Interrupt Priority Level Most Significant bit <u>PCANH PCANL Priority level</u> 0 0 Lowest 0 1 1 0 1 1 Highest

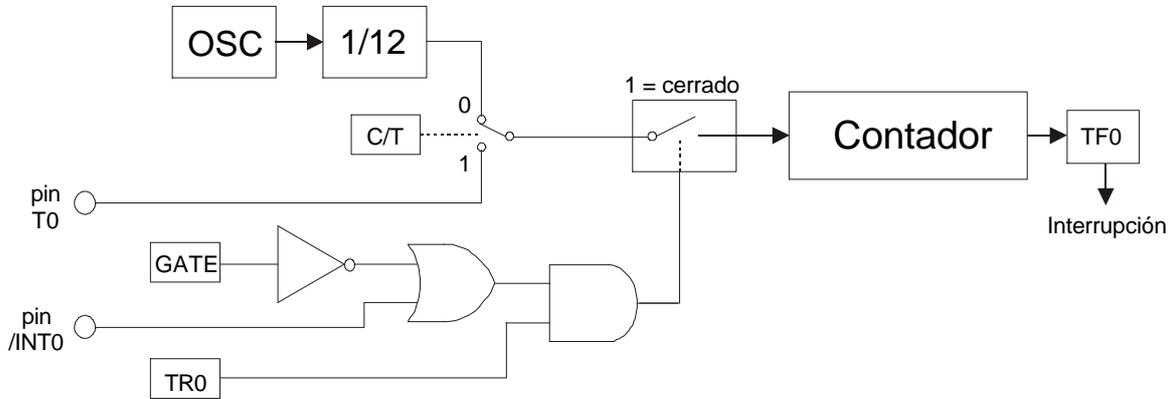
Reset Value = XXXX X000b

4.5 Interrupciones externas INT0 e INT1

TCON TF1 TR1 TF0 TR0 IE1 IT1 IE0 IT0 88H

IT0	Selección de interrupción externa 0 (INT0) para que sea activa por flanco de bajada (“1”) o por nivel bajo (“0”)
IE0	Flag de disparo de la INT 0. IE0=1 cuando se detecta int.
IT1	Selección de interrupción externa 1 (INT1) para que sea activo por flanco de bajada (“1”) o por nivel bajo (“0”)
IE1	Flag de disparo de la INT1. IE1=1 cuando se detecta int.

5. Contadores/temporizadores



<i>b7</i>				<i>TMOD, dir. 89h, por máscara</i>				<i>b0</i>			
GATE		M1	M0	GATE		M1	M0				
<i>Temporizador/Contador 1</i>								<i>Temporizador/Contador 0</i>			

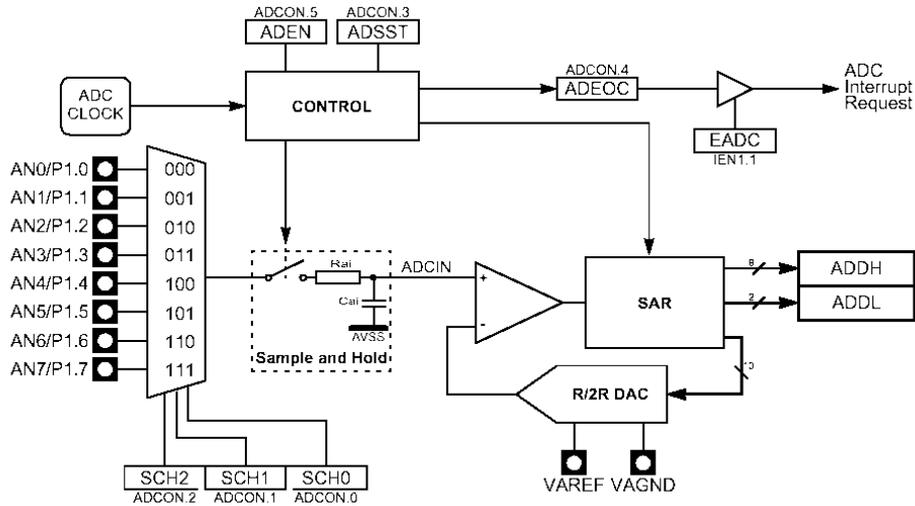
bit	Descripción		
GATE	Cuando este bit está a 1, el timer se habilita sólo mientras el pin INTx está a 1 y su bit de control de run TRx (en el registro TCON) también lo está. Cuando está desactivado, el timer es controlado solo por el bit de TRx.		
	Configura el timer en modo contador (1), o temporizador (0).		
M1,M0	Selección de modo de funcionamiento.		
	M1	M0	Modo
	0	0	0 Temporizador/contador de 8 bits con THx. Los 5 bits de menor peso de TLx actúan como preescala (13 bits en total, $2^{13} = 8192$).
	0	1	1 Temporizador/contador de 16 bits, con THx y TLx en cascada. ($2^{16} = 65.536$).
	1	0	2 Temporizador/contador de 8 bits con autorrecarga. THx contiene el valor de recarga para TLx tras cada desbordamiento. ($2^8 = 256$).
	1	1	3 Para el temporizador 0, TL0 y TH0 son dos temporizadores/contadores de 8 bits, controlados con los bits de control de los temporizadores 0 y 1 respectivamente. Temporizador 1 inactivo ($2^8 = 256$).

<i>b7</i>				<i>TCON, dir. 88h, bit a bit</i>				<i>b0</i>			
TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0				

bit	Descripción		
TR0	Control de puesta en marcha para el timer 0. Activado por software para poner en marcha (1) o detener (0) al timer 0.		
TF0	Flag de desbordamiento del timer 0. Se activa por hardware cuando se produce el desbordamiento del timer. Se desactiva automáticamente cuando se empieza a ejecutar la rutina de interrupción asociada.		
TR1	Id. TR0 pero para timer 1.		
TF1	Id. TF0 pero para el timer 1.		

Descripción	Nombre	Flag hab. (IEN0)	Flag act. (TCON)	Vector	Borrado
Cont./Temp. 0	T/C0	ET0	TF0	000Bh	Hw
Cont./Temp.1	T/C1	ET1	TF1	001Bh	Hw

6. Conversor A/D



. ADC SFRs

Mnemonic	Add	Name	7	6	5	4	3	2	1	0
ADCON	F3h	ADC Control	-	PSIDLE	ADEN	ADEOC	ADSST	SCH2	SCH1	SCH0
ADCF	F6h	ADC Configuration	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
ADCLK	F2h	ADC Clock	-	-	-	PRS4	PRS3	PRS2	PRS1	PRS0
ADDH	F5h	ADC Data High byte	ADAT9	ADAT8	ADAT7	ADAT6	ADAT5	ADAT4	ADAT3	ADAT2
ADDL	F4h	ADC Data Low byte	-	-	-	-	-	-	ADAT1	ADAT0

Tiempo de encendido del ADC $T_{setup} = 4 \mu\text{s}$.

Tiempo de conversión $T_{conv} = 11$ ciclos del reloj ADC

Cálculo de la pre-escala del reloj del conversor ADC

$$f_{ADC} = (\text{frecloj CPU}) / (4 \times \text{valor_bits_PRS}) = 700 \text{ kHz}$$

Tensión de referencia: $2,40 < V_{aref} < 3.0 \text{ V}$

Modo precisión: activando bit PSIDLE (se parará el micro) y recogida con interrupción

Configuración pines P1

CHx=1 -> P1.x para AD

CHx=0 -> P1.x normal