


Escuela Técnica Superior de Ingeniería de Telecomunicación
Referencia: 11/18/5/E.T.S.I.T.
Fecha: 15/11/2018

Empres MaxLinear Hispania S.L.

Actividad de la Empresa: Servicios técnicos de ingeniería

ACTIVIDADES A DESARROLLAR

Reporting to the ASIC Verification Lead in Valencia, the intern will be part of the AS Design and Verification engineering team and be responsible for writing script to create UVM templates.

With a basic knowledge in UVM and scripts to build UVM templates, any design engineer could develop UVM tests from scratch. This would also save time to the verification engineer by avoiding repetitive tasks.

This script has to build the Unified UVM structure decided by MXL Verification team

CARACTERÍSTICAS DE LA PRÁCTICA

Localida	PATERNA	Duración (meses):	9
Provinci	VALENCIA	Fecha de Incorporación:	02/01/2019
Bolsa económica (€/mes):	1144	Dedicación (horas/día):	8
Posibilidad de hacer PFC en la Posible contratación		Jornada:	COMPLETA

PERFIL DEL ESTUDIANTE

Nº de estudiantes:	1	Curso/Creditos:	ULTIMO CURS(C
---------------------------	---	------------------------	---------------

CONOCIMIENTOS INFORMÁTICOS:

Unix: básico

Perl: alto

TCL: básico

Verilog: básico

System Verilog: básico

UVM: básico

HABILIDADES:

Logical and creative problema solving, Analytical and debugging skills, Good written and oral communication skills.

Oferta publicada desde <http://www.sie.upv.es>
UNIDAD DE PRACTICAS EN EMPRESAS
UNIVERSIDAD POLITECNICA DE VALENCIA-Camino de vera,14 46022 valencia Tel.96

Fecha: 15/11/2018

Empres MaxLinear Hispania S.L.

Actividad de la Empresa: Servicios técnicos de ingeniería

ACTIVIDADES A DESARROLLAR

Reporting to the ASIC Verification Lead in Valencia, the intern will be part of the AS Design and Verification engineering team and be responsible for writing script to create UVM templates.

With a basic knowledge in UVM and scripts to build UVM templates, any design engineer could develop UVM tests from scratch. This would also save time to the verification engineer by avoiding repetitive tasks.

This script has to build the Unified UVM structure decided by MXL Verification team

CARACTERÍSTICAS DE LA PRÁCTICA

Localida	PATERNA	Duración (meses):	9
Provinci	VALENCIA	Fecha de Incorporación:	02/01/2019
Bolsa económica (€/mes):	1144	Dedicación (horas/día):	8
Posibilidad de hacer PFC en la		Jornada:	COMPLETA
Posible contratación			

PERFIL DEL ESTUDIANTE

Nº de estudiantes: 1 **Curso/Creditos:** ULTIMO CURSO

CONOCIMIENTOS INFORMÁTICOS:

Unix: básico

Perl: alto

TCL: básico

Verilog: básico

System Verilog: básico

UVM: básico

HABILIDADES:

Logical and creative problema solving, Analytical and debugging skills, Good written and oral communication skills.

Titulaciones

Máster en Tecnologías, Sistemas y Redes de Comuni

Máster en Ingeniería de Sistemas Electrónicos

Máster en Ingeniería de Telecomunicación

Oferta publicada desde <http://www.sie.upv.es>

UNIDAD DE PRACTICAS EN EMPRESAS

UNIVERSIDAD POLITECNICA DE VALENCIA-Camino de vera,14 46022 valencia Tel.96

Fecha: 15/11/2018

Empres MaxLinear Hispania S.L.

Actividad de la Empresa: Servicios técnicos de ingeniería

ACTIVIDADES A DESARROLLAR

Reporting to the ASIC Verification Lead in Valencia, the intern will be part of the ASIC Design and Verification engineering team and be responsible for writing script to create UVM templates.

With a basic knowledge in UVM and scripts to build UVM templates, any design engineer could develop UVM tests from scratch. This would also save time to the verification engineer by avoiding repetitive tasks.

This script has to build the Unified UVM structure decided by MXL Verification team

CARACTERÍSTICAS DE LA PRÁCTICA

Localida	PATERNA	Duración (meses):	9
Provinci	VALENCIA	Fecha de Incorporación:	02/01/2019
Bolsa económica (€/mes):	1144	Dedicación (horas/día):	8
Posibilidad de hacer PFC en la		Jornada:	COMPLETA
Posible contratación			

PERFIL DEL ESTUDIANTE

Nº de estudiantes:	1	Curso/Creditos:	ULTIMO CURSO
---------------------------	---	------------------------	--------------

CONOCIMIENTOS INFORMÁTICOS:

Unix: básico

Perl: alto

TCL: básico

Verilog: básico

System Verilog: básico

UVM: básico

HABILIDADES:

Logical and creative problema solving, Analytical and debugging skills, Good written and oral communication skills.

Fecha límite para enviar información:	06/12/2018
--	------------

Comentarios propios de la E.T.S.I.T.

Oferta publicada desde <http://www.sie.upv.es>